

# クライストロン電源

## 1. はじめに

本稿では、ILC 高周波電力源のクライストロン電源、ここではパルスクライストロン電源を中心に述べる。はじめにパルス電源の基本的なパルス回路を簡単に触れた後、現在、開発中の ILC 用 クライストロンパルス電源について解説する。開発当初の電源については OHO06「高周波電力源の考え方とその設計(2)」[1]を参考にして下さい。また、もっと詳細なパルス電源をお勉強したい方には参考書として[2]~[7]を挙げときます。

## 2. パルス電源の基礎

### 2.1. パルス電源の概要

パルス発生方式は大きく二種類に分けられる。一つはハードチューブ（ダイレクトスイッチ）方式であり、もう一つはラインタイプ方式がある[2]。ダイレクトスイッチ方式は Fig. 1 に示すように、コンデンサに蓄えられた電気エネルギーをスイッチ S が ON の間（パルス幅）、負荷へ放出する。昔はスイッチとして三極真空管を使用していたためハードチューブ（真空管）の名前が使われていましたが、現在では、ほとんど真空管から半導体スイッチへ置き換わっていますので、その機能からダイレクトスイッチ式と呼ぶ方が合っています。

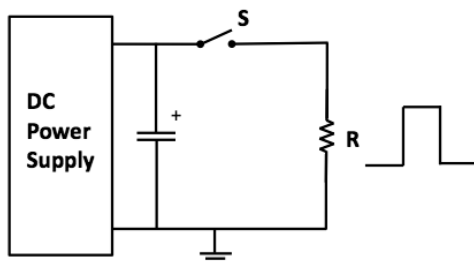


Fig. 1 ダイレクトスイッチ型パルス電源の基本回路

もう一つのラインタイプ方式の基本回路を Fig. 2 に示す。ラインと負荷のインピーダンスは整合

していなければならない。ライン（同軸ケーブル等）に蓄えられた電気エネルギーをスイッチ S が ON 状態ですべて負荷へ放出する。従って 1 パルス毎に、ラインに充電エネルギーを込めないといけない。

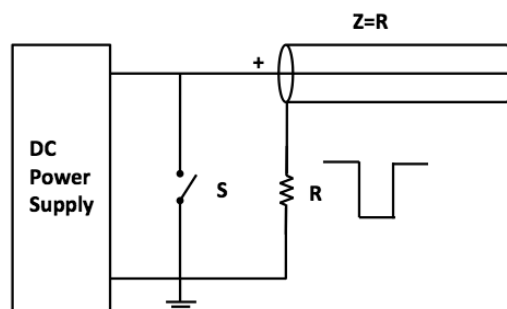


Fig. 2 ラインタイプ型パルス電源の基本回路

どの方式を採用するかはそれぞれ利点、不利な点があるのでそれらに注意して選択することになる。

大電力クライストロンの場合は、印加電圧が通常、数 100 kV と高いので、パルス電源から出力されたパルス電圧は通常パルストランスで昇圧する。ダイレクトスイッチ方式にパルストランスを入れた回路を Fig. 3 に示す。但し、パルストランスは周波数特性があるため、パルスの立ち上がり時間等の出力波形が悪くなる。

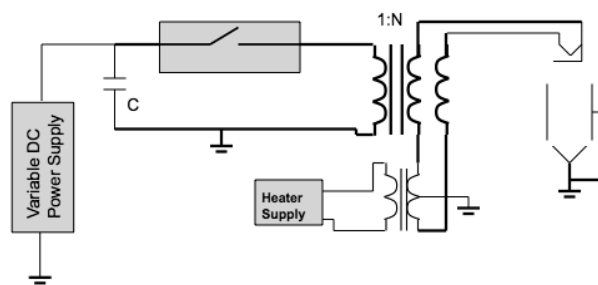


Fig. 3 パルストランス付ダイレクトスイッチ型パルス電源の回路[8]

パルスを昇圧する別な方法として、Fig. 4 に示すインダクション方式がある。これは、1 次側 1 ターンのトランスをパルス電源により駆動し、トランスの 2 次側磁気結合させパルストランスを形成するもので、トランスのインダクタンスを低減

でき、高速な応答が期待できる。各駆動回路の電位がアース電位になる利点がある。磁気結合させるコアの数を増やすことによって容易に高電圧出力を得ることができる。

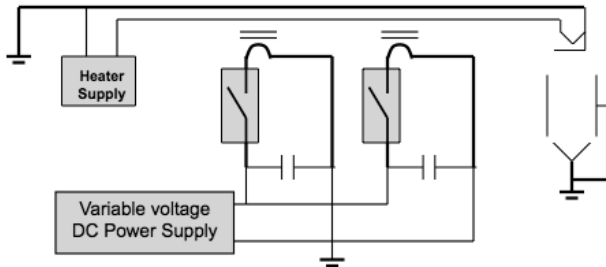


Fig. 4 インダクション方式によるパルス電源の回路 [8]

また、パルスを昇圧する別な方法として、Fig. 5 に示すマルクス方式がある。これは並列に充電したコンデンサをスイッチで直列に繋ぎ替えることによって高圧を出力する。パルストランスを使用しないので、立ち上がりの良い高圧のパルスを得ることができる。

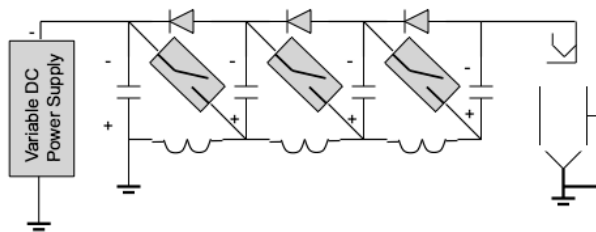


Fig. 5 マルクス方式によるパルス電源の回路 [8]

## 2.2. ラインタイプ電源

ラインタイプ方式はこれまで最も一般的に使われたパルス電源で、SLAC では約 250 台、KEK で約 60 台、SACLA では約 72 台、その他多くの線形加速器のパルス電源でこの方式を採用している。パルス幅が短いパルスを発生する場合はケーブルを使用 (1 $\mu$ s のパルス得るためには、100m の長さのケーブルが必要になる) するが、数マイ

クロ秒以上のパルス幅にたいしては、コイル L とコンデンサ C から構成するパルス成形回路(Pulse Forming Network、PFN)が用いられる。Fig. 6 に PFN と昇圧比 1:N のパルストランスを使用したラインタイプ電源の基本回路を示す。

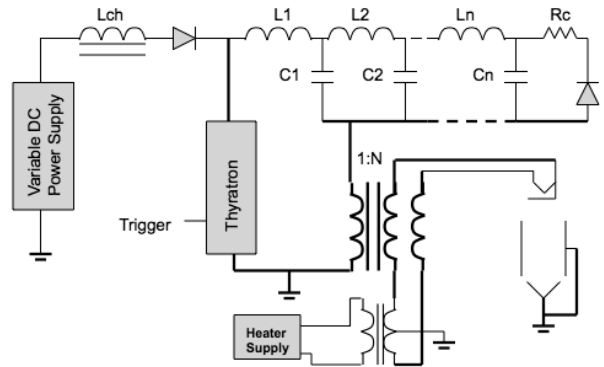


Fig. 6 ラインタイプ型パルス電源の基本回路 [8]

ラインタイプではスイッチとして、サイラトロン又は半導体スイッチが使用される。クライストロンに必要な電圧  $V_k$ 、電流  $I_k$  とすると、使用するスイッチの耐電圧  $2V_k/N$ 、耐電流  $NI_k$  に十分余裕が有るようにパルストランス比  $N$  が選ばなければならない。

PFN のパラメータは次のように与えられる。一般には LC が  $n$  段のはしご型回路からなる PFN 回路の特性インピーダンス  $Z_{pfn}$  は

$$Z_{pfn} = \sqrt{\frac{L}{C}} \quad (2-1)$$

となる。この PFN により得られる出力波形のパルス幅  $T_{pfn}$  は、

$$T_{pfn} = 2n\sqrt{LC} \quad (2-2)$$

となる。また、C と L の値はそれぞれ次のように決定できる。

$$C = \frac{T_{pfn}}{2nZ_{pfn}} \quad (2-3)$$

$$L = \frac{T_{pfn} \cdot Z_{pfn}}{2n} \quad (2-4)$$

クライストロン負荷のインピーダンスを  $Z_{kly}=V_k/I_k$  とすると、インピーダンスの整合をとって

$$Z_{pfn} = \frac{Z_{kly}}{N^2} \quad (2-5)$$

となる。

また、負荷が短絡した場合、回路に流れる短絡電流は定常電流の2倍である。

PNNの立ち上がり時間  $t_r$  はLCの共振周期の約1/4とみなすと、

$$t_r \approx \frac{T_{pfn}}{2n} \quad (2-6)$$

となる。これはPFNの段数  $n$  を増やせば、立ち上がり時間が短くなる。しかし同時にPFNのインダクタンス  $L$  も小さくなる。 $L$  が小さ過ぎるとPFNの周波数特性が悪くなる(コンデンサ  $C$  の残留インダクタンスがあるため)ので、 $L$  は約  $1\mu\text{H}$  以上の値をとる。それが出来ない場合は、PFNを多並列化する方法もある。

ラインタイプ型電源は簡単な回路構成で、コスト、サイズ、効率のよい電源であるが、欠点としては、ラインすなわちPFNに大きく関係するが、(1)パルス幅が変更できない。(2)パルス幅が長くなるとPFNが大型化する。(3)負荷とPFNのインピーダンスが合わないといけない。従って負荷のインピーダンスによって波形が変わる。(4)平坦なパルス波形を作るにはPFNの調整が必要である。(5)PFNの段数にもよるが、PFNのリップルが波形にのる。(6)1パルス毎にラインを充電しないといけないので繰り返しには限界がある。

## 2.3. ダイレクトスイッチ電源

### 2.3.1. 概要

ダイレクトスイッチ電源は Fig. 1 に示すように、コンデンサ容量  $C[\text{F}]$ 、負荷  $R[\Omega]$  とすると、充電電圧を  $V_0[\text{V}]$  とすると、電源の出力電圧  $V$  は

$$V = V_0 e^{-\frac{t}{CR}} \quad (2-7)$$

となる。出力電圧は時間とともに低下する。

パルス幅  $\tau$  とすると、その間コンデンサの放電により電圧の低下(サグ)の度合いを示したパラメータ、サグ率  $D$  は

$$D = 1 - e^{-\frac{\tau}{CR}} \quad (2-8)$$

となる。パルス幅が時定数  $CR$  より小さい場合 ( $\tau \ll CR$ ),

$$D = \frac{\tau}{CR} \quad (2-9)$$

となる。

コンデンサのエネルギー( $W_C$ )と出力パルスのエネルギー( $W_P$ )の比をサグ率  $D$  の関数で表すと、

$$\frac{W_C}{W_P} = \frac{1}{2D - D^2} \quad (2-10)$$

となる。例えば、サグ率 1% の場合、出力パルスのエネルギーの 50 倍、0.5% の場合は、100 倍コンデンサにエネルギーを溜めなければならないことが分かる。パルス幅が長くそして高い平坦性が要求される場合、コンデンサの容量が大きくなり、電源の大型化、さらにコスト高が問題になる。そこで、コンデンサの容量を減らす方法として、出力電圧のサグを打ち消す電圧を発生する波形補償回路と組み合わせて出力電圧を平坦化する方法がある。詳しくは次の小節で述べる。

ダイレクトスイッチ電源はラインタイプ方式と比べると、リップルがない波形の良さ、負荷のインピーダンスによらない良さなどがあるが、欠点としては、容量の大きいコンデンサを持つことから、短絡電流が大きいので、回路の保護が必要である。例えば、スイッチ S が故障した場合、回路に短絡電流が流れるので、それを阻止するためのコンデンサ C を短絡するクローバ回路が必要となる。

### 2.3.2. サグ補償

出力電圧のサグを打ち消す電圧を発生する波形補償回路について述べる。Fig. 7 に示すように、サグ補償回路を電源の回路に直列に組み込まれたものを考える。

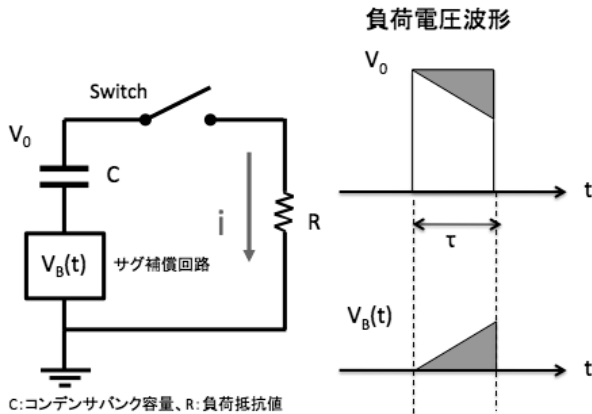


Fig. 7 サグ補償回路付きパルス回路

サグ補償回路の出力波形  $V_B(t)$  を求めてみる。コンデンサの電荷を  $q(t)$  とすると、回路方程式は、

$$\frac{q(t)}{C} + V_B(t) = Ri(t) \quad (2-11)$$

が成り立つ。初期条件  $t=0$  でコンデンサの電圧は  $V_0$  で、これを解くと

$$q(t) = -\frac{e^{-\frac{t}{CR}}}{R} \int_0^t e^{\frac{\xi}{CR}} \cdot V_B(\xi) d\xi + CV_0 e^{-\frac{t}{CR}} \quad (2-12)$$

これから、 $t=0$  で  $q(0)=C V_0$ 、電流  $i(t)$  を求めると、

$$i(t) = \frac{V_B(t)}{R} + \frac{V_0}{R} e^{-\frac{t}{CR}} - \frac{e^{-\frac{t}{CR}}}{CR^2} \int_0^t e^{\frac{\xi}{CR}} \cdot V_B(\xi) d\xi \quad (2-13)$$

となる。常に一定電流になる条件  $i(t)=V_0/R$  として、 $V_B(0)=0$  となる  $V_B(t)$  を求めると

$$V_B(t) = \frac{V_0}{CR} t \quad (2-14)$$

となる。波形補償回路の出力波形は  $0V$  からサグの低下電圧にまで時間に比例して上がる直線の電圧波形である。このような時間とともに比例し電圧が増加する電源回路としては LC 共振型のバウンサー回路、チョップ回路、半導体マルクス型回路などがある。

## 2.4. チョップ電源

チョップ電源とは電流・電圧を切り刻み(チョップ)、直流の電圧を変える回路であり、いろいろな電力変換回路の中でも最も簡単な回路である。ここでは降圧チョップ回路(buck converter)、昇圧チョップ回路(boost converter)の動作原理を説明する。

### 2.4.1. 降圧チョップ回路

降圧チョップ回路は入力電圧より低い電圧を負荷に加えることができる。Fig. 8 に降圧チョップ回路の基本回路を示す。また、この回路の定常状態時での各点の電圧・電流波形を Fig. 9 に示す。

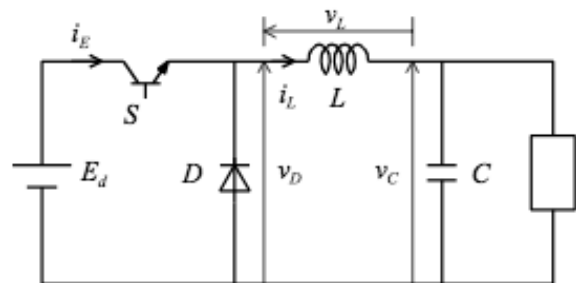


Fig. 8 降圧チョップ回路

スイッチ S が ON している期間、 $T_{ON}$  は電圧  $E_d$  が印加され、コイル L を通して負荷に電流が流れる。スイッチ S が OFF している期間、ダイオード D を通して負荷に電流が流れる。この降圧チョップの出力電圧の平均値を計算してみる。定常状態時には  $V_L$  波形の正負の面積が同じであるから、

$$(E_d - V_c)T_{ON} = V_c T_{OFF} \quad (2-15)$$

が成り立つ。すなわち、平均出力電圧  $V_C$  は

$$V_C = \alpha E_d \quad (2-16)$$

$$\alpha = \frac{T_{ON}}{T_{ON} + T_{OFF}} \quad (2-17)$$

となる。ただし、 $\alpha$  は通流率、1 周期に対する ON している時間の比で 0 と 1 の値になる。この式から、通流率  $\alpha$  を調整すれば、出力電圧を制御できる。通流率  $\alpha$  の制御方法はパルス幅制御 (Pulse Width Modulation) が多く利用されている。

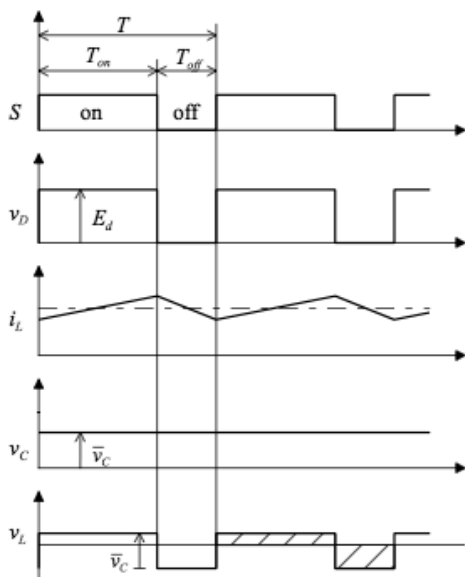


Fig. 9 降圧チョップ回路の動作波形 (定常状態)

また、電圧リップルの大きさを計算すると

$$\Delta V_{P-P} = \frac{\alpha(1-\alpha)T^2}{8CL} E_d \quad (2-18)$$

通流率  $\alpha=0.5$  で最大になる。

この式から、電圧リップルは容量 C とコイル L に反比例して小さくなるのがわかる。また、スイッチング周期が短ければ (スイッチング周波数  $(1/T)$  を高くすれば) その 2 乗に比例して小さくなる。電源としては低電圧リップルが要求されるので、(1) 容量 C とコイル L を大きくすること、(2) スwitching 周波数を上げることになる。(1) については大き過ぎると制御の応答特性 (パルスの立ち上がり時間は  $\sqrt{LC}$  に比例) を劣化させるので悪くなる。また、コストも高くなる。(2) についてはスイッチング損失を増加させ、効率が下がる。それぞれのトレードオフの関係があるので、兼ね合いをみて決めなければならない。

#### 2.4.2. 昇圧チョップ回路

昇圧チョップ回路は入力電圧より高い電圧を負荷に加えることができる。Fig. 10 に昇圧チョップ回路の基本回路を示す。また、この回路の定常状態時での各点の電圧・電流波形を Fig. 11 に示す。

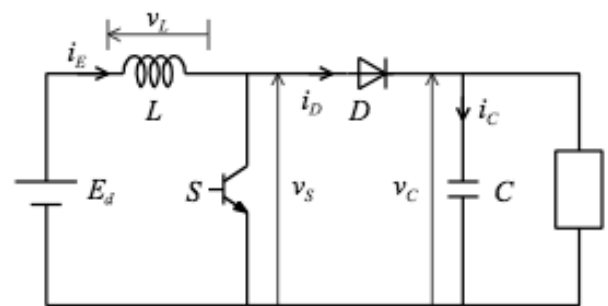


Fig. 10 昇圧チョップ回路

スイッチ S が ON している期間はコイル L にエネルギーを蓄えられて、S が OFF している期間はコイル L にエネルギーがコンデンサに放出される。この降圧チョップの出力電圧の平均値を計算してみる。定常状態時には  $V_L$  波形の正負の面積が同じであるから、

$$E_d T_{ON} = (V_c - E_d) T_{OFF} \quad (2-19)$$

が成り立つ。すなわち、平均出力電圧  $V_C$  は

$$V_C = \frac{1}{1-\alpha} E_d \quad (2-20)$$

となる。但し、 $\alpha$  は通流率で 1 以下で有るから、出力電圧は電源電圧より大きくなるのが分かる。これが昇圧チョップと呼ばれる由縁である。

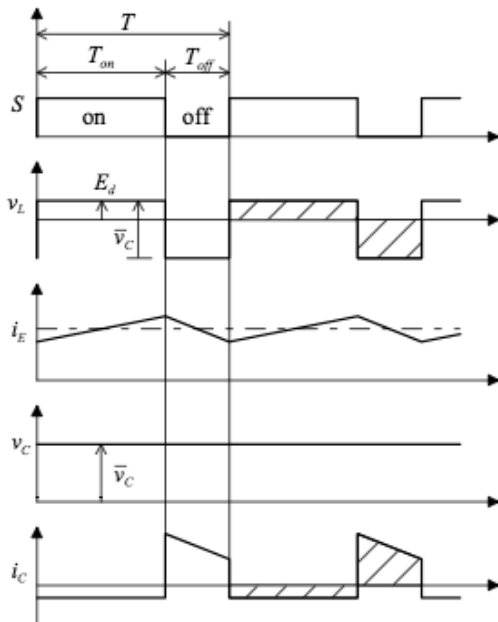


Fig. 11 昇圧チョップ回路の動作波形 (定常状態)

## 2.5. Marx 電源

### 2.5.1. Marx 発生器

Marx 発生器は、1923 年に Erwin Marx によって発明され、その回路構造の簡易さから一般に幅広く利用されているインパルス発生器である。Fig. 12(a) に Marx 発生器の回路図を示す。Marx セルは抵抗(R)、ギャップスイッチ及びコンデンサ(C)から構成する。Marx 発生器は Marx セルを多段式に組み合わせたものである。ギャップスイッチ

OFF 状態に各 Marx セルのコンデンサ C を並列に V まで充電し、ギャップスイッチ ON 状態で各 Marx セルのコンデンサ C を直列に接続して、Marx セルの段数 xV の電圧パルスを発生する。

### 2.5.2. Marx 発生器の高機能化

近年、Marx セル各段を Fig. 12(b) のように、抵抗 R とギャップスイッチをダイオードと半導体スイッチ (充電、放電スイッチ) に置き換えた回路方式の研究開発が進み大きく発展した。[9]

基本回路動作は次のように行う。充電時は、充電スイッチは ON 状態で、放電スイッチは OFF 状態にして、各 Marx セルのコンデンサを並列に充電する。放電時は、充電スイッチは OFF 状態にし、放電スイッチは ON 状態にして、各 Marx セルのコンデンサを直列に繋ぎ合わされて高圧パルスを発生する。この動作に加えて、Marx セルにバイパスダイオードがあるので、放電スイッチ OFF 状態の場合、その Marx セルはパスできる。従って、各 Marx セルは独立に制御することができ、任意の時間に放電スイッチを ON/OFF 動作させることができる。例えば、充電電圧 V の階段状の電圧波形を簡単に発生することができる。この場合、各 Marx セルの放電スイッチの ON タイミングを一定時間遅らして ON 状態にすればよい。

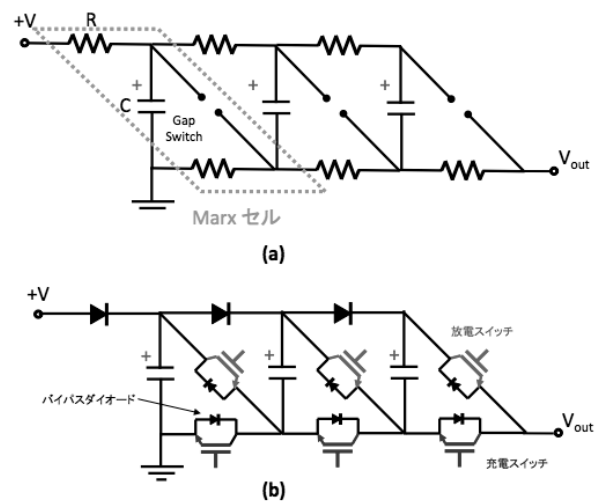


Fig. 12 Marx 電源

### 3. ILC 用クライストロン電源

#### 3.1. RF 源の概要

Technical Design Report(TDR) [10] に示されているように、ILC 計画の山岳サイト案では加速器は山岳の地下 100m の固い岩盤上に全長 31km の直線のトンネルを掘って設置される。Fig. 13 にトンネルの断面図を示す。トンネルは幅 11m のかまぼこ形の断面をしている。真ん中にコンクリートのシールドで仕切られ、片側に加速装置が置かれ、もう一方側には RF 源の装置が置かれる。Fig. 14 にトンネル内の RF 源装置の配置を透視図で示す。トンネルに沿って RF 源として使用される 1.3 GHz、10MW クライストロン 1 台が横置きで 57m 置きに分布するように設置され、主加速器では 378 台使用される。クライストロン 1 台で、39 台の 9 セル超伝導空洞に RF を供給する。各クライストロン用パルス電源はその直ぐそばに 1 台置かれ、クライストロンとは高压同軸ケーブルで結ばれ、高压パルス電力を供給する。

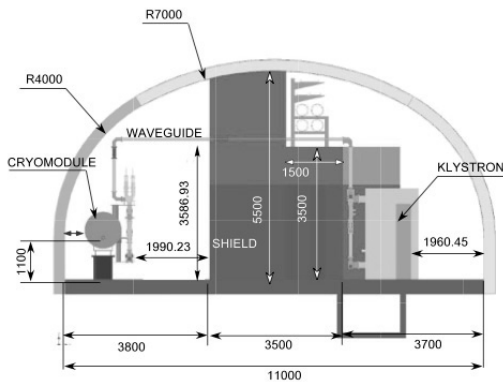


Fig. 13 トンネルの断面図[10]

#### 3.2. パルス電源の仕様

Table 1 に 10MW のクライストロンと Fig. 15 にその外観を示す。Table 2 にその電源の仕様を示す。電源はピーク電圧 120 kV、ピーク電流 140 A、パルス平坦部 1.65 ms、パルス平坦度 1%(p-p)、繰り返し 5 Hz の大電力長パルスが発生するパルス電源である。台数の規模と地下 100m のトンネ

ル内で使用することから、特に電源の高稼働率化、小型軽量化、低価格化が求められる。

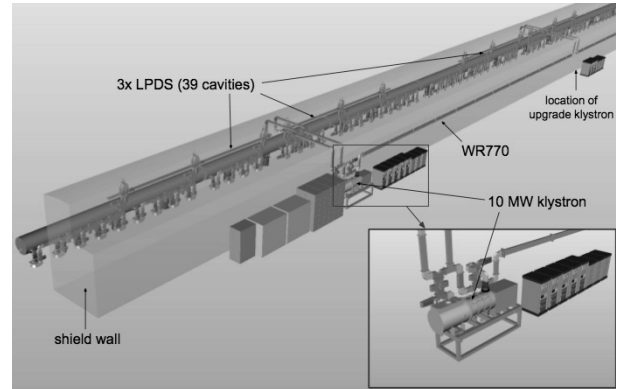


Fig. 14 トンネル内の RF 源の配置[10]

Table 1 ILC で使用されるマルチビームクライストロン電源の主な仕様

周波数	1.3 GHz
ピーク電力出力	10 MW
RF パルス幅	1.65 ms
繰返し	5(10) Hz
平均電力出力(5 Hz)	82.5 kW
効率	65%
利得	>47 dB

Table 2 ILC で使用されるクライストロン電源の主な仕様

出力電圧	120 kV
出力電流	140 A
パルス平坦部	1.65 ms
繰返し	5(10) Hz
最大平均電力	139 kW
パルス平坦性	1%(P-P)
パルスーパルス安定度	1%(P-P)
ガン放電時クライストロン許容注入エネルギー	< 20 J



Fig. 15 横置き東芝 10 MW マルチビームクライストロンの外観[10]

### 3.3. ILC 用パルス電源の開発

ILC 用クライストロン電源として、これまでに二つの方式の電源が主に開発された。一つはバウンサー型電源と呼ばれるもので、パルストランスを使用したダイレクトスイッチ方式の電源で、コンデンサバンクを小型化するために、サグ補償回路が組み込まれている。この方式の電源は FNAL で DESY の TTF(TESLA Test Facility)用に初めて開発された[11]。サイズが大きく、コストの高いパルストランスを使うため、ILC 用電源としてはサイズ、コストの改善には限界がある。

もう一つは Marx 型電源と呼ばれるもので、パルストランスを使わない半導体スイッチ IGBT を使用した Marx 電源である。この方式は SLAC が 10 年以前から研究開発を精力的に取り組んだもので、第二世代となる P2 Marx 電源を試作し性能評価を行った。その試験で優れた出力パルス波形の性能、電力効率を実証した。現在、長期性能試験を行っている。

### 3.4. バウンサー型電源

KEK ではこれまでにバウンサー型電源を 3 台製作され、現在、2 台が超伝導リニアック試験設備棟(STF)のクライストロン電源として使われている。2007 年度に製作した STF 第 2 号パルス電源[12]について紹介する。

#### 3.4.1. 概要

この電源の主な特徴を下記にまとめる。

(1)バウンサー回路は LC の共振回路で、出力回路(実際にはパルストランスの 1 次側)に直列接続され、共振用コンデンサとコイル、充電ダイオード、回路を起動させるサイリスタスイッチから構成する。サイリスタスイッチは主スイッチより少し早めにトリガーされる。LC 回路から出力された正弦波の直線部分をサグの部分に加えて平坦化する。

(2)将来、高耐圧、大電流スイッチ素子によるコンパクトな主スイッチ IEGT を使用することを考慮して、パルストランスの昇圧比は 1:15 を選択した。

(3)小型軽量化のため、充電電源にはスイッチング電源を採用した。また蓄積用コンデンサには SH(Self-Healing)型高密度エネルギーコンデンサを開発した

(4)主スイッチは保護機能を強化することによって高信頼化し、本来の主スイッチ(シリーズスイッチ)の機能を活かしてクローバ回路を除去した。

(5)パルストランスは、1.7 ms 幅の長いパルスであるのでパルスの立ち上がり時間を約 0.1 ms で最適化して鉄心の小型軽量化に務め、また低価格化のために鉄心の板厚を厚いものにし、製造が容易な製法を選択した。

第 2 号パルス電源の負荷は、開発段階であることから 5 MW(Thales 製 TH2104)と 10 MW(東芝製 E3736)クライストロンが想定されている。それぞれのクライストロンとそれに必要な電源の仕様を Table 3 と Table 4 にまとめている。電源本体のサイズは、設置場所の制限から、幅 4.2 m、奥行 2.2 m、高さ 2.2 m としている。Fig. 16 に完成したパルス電源の外観写真を示す。全体制御を行うプログラマブルロジックコントローラ(PLC)は 19 インチラック筐体に収納され、Fig. 16 では後部に設置されている。



Table 3 クライストロンの仕様

クライストロン	TH2104	E3736
周波数(GHz)	1.3	1.3
RFパルス幅(ms)	1.5	1.5
ピーク出力電力(MW)	5	10
ビーム電圧(kV)	130	120
ビーム電流(A)	92	140
パービアンス( $\mu$ )	2.0	3.4
繰返し(pps)	5	5
ビーム数(本)	1	6
効率(%)	42	60

Table 4 10MW クライストロン運転時でのパルス電源の仕様(括弧内の数値は 5MW 運転時)

ピーク出力電力	16.8(12.0) MW
パルストランス昇圧比	1:15
2次側出力パルス電圧	120(130) kV
2次側出力パルス電流	140(92) A
コンデンサバンク総容量	2000 $\mu$ F
パルス立ち上がり時間(10-90%)	< 0.2 ms
パルス平坦度	< $\pm$ 0.5%
パルス幅(平坦部)	> 1.5 ms
パルス幅(半値幅)	1.7 ms
主スイッチ電圧	8.8(9.1) kV
主スイッチ電流	2100(1380) A
ガン放電時クライストロン許容注入エネルギー	< 20 J
最大パルス繰返し	5 pps

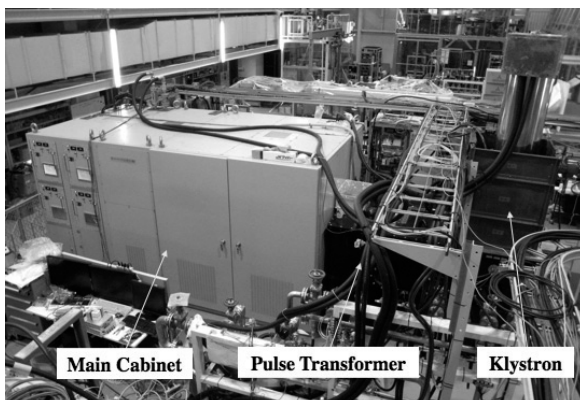


Fig. 16 STF 第 2 号パルス電源とクライストロン(TH2104)の外観

### 3.4.2. 回路構成

Fig. 17 にパルス電源の主な回路構成を示す。420 V 3 相 50 Hz を受電し、4 台のスイッチング電源方式の高圧充電ユニット(1 台当たりの充電能力 50 kJ/s)が 2 mF の SH 型コンデンサバンク(エネルギー密度 270 kJ/m<sup>3</sup>)を最大 10 kV まで充電する。電圧安定度は 0.2%以下である。主スイッチは IGBT モジュール(三菱電機製 CM600H-24H:定格電圧 1200 V, 直流電流:600 A)を使用して 4 並列 20 直列で構成している。1:15 のパルストランス(油中使用)はリーケイジインダクタンスを極力抑えるために、低圧側と高圧側の 2 台のパルストランスに分割し、1 次側は並列接続、2 次側は直列接続する構成になっている。トランスのサイズは幅約 2.2 m、奥行約 1.1 m、高さ約 1.4 m である。総重量は 8.3 t にもなる。バウンサー回路は共振用コンデンサ(2 mF)とリアクトル(0.3 mH)、充電ダイオード、回路を起動させるサイリスタスイッチから構成する。サイリスタスイッチは主スイッチより少し早めにトリガーされる。出力パルス電圧のサグ 20%にたいして 1%以下で補償できるように LC の値を決定した。出力パルスの平坦部分の 1.5 ms を十分カバーできるように共振の半周期は 2.4 ms である。

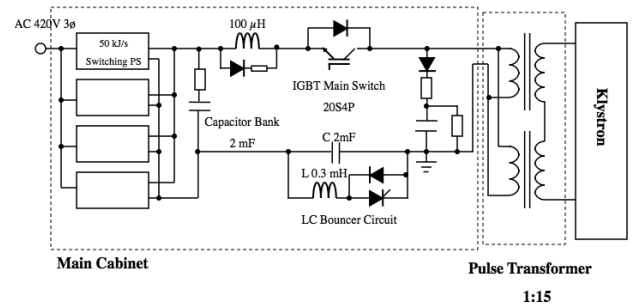


Fig. 17 パルス電源の回路構成

### 3.4.3. 性能

クライストロン(TH2104)を実負荷として電源の性能を調べた。先ずバウンサー回路のトリガータイミングの最適化を行った。Fig 18 に、充電設定電圧  $E_s=7.0$  kV、繰返し 5 pps で、バウンサー回路を起動するトリガータイミングを変えた

時のクライストロンの電圧波形平坦部の変化の様子を示す。主トリガーより 0.456 ms 早いタイミングが、出力パルスの平坦度を最良にする。その値よりも早くすれば前上がりのパルス波形になり、反対に遅くすれば後ろ上がりのパルス波形になる。

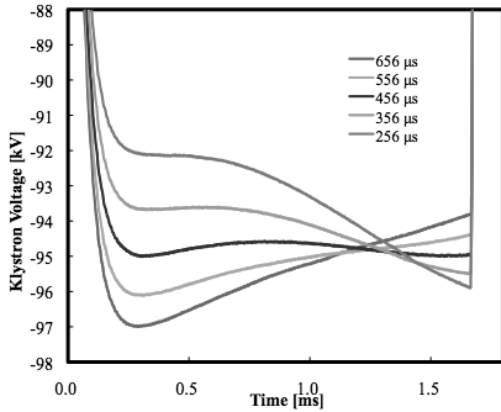


Fig. 18 バウンサートリガーの調整でクライストロン電圧波形の平坦部の変化する様子

次に、 $E_s=9.6$  kV、繰り返し 5 pps でのクライストロンの RF 出力が 5MW 運転時での RF 出力、クライストロン電圧・電流波形の例を Fig. 19 に示す。また、電圧波形の拡大を Fig. 20 に示す。ピーク電圧は -127 kV、ピーク電流は 85.5 A である。パルスの立ち上がり時間(10-90%)は 92  $\mu$ s、平坦部 1.5 ms での平坦度は 0.47%(P-P)で電源のパルス出力性能仕様を満足する結果が得られた。

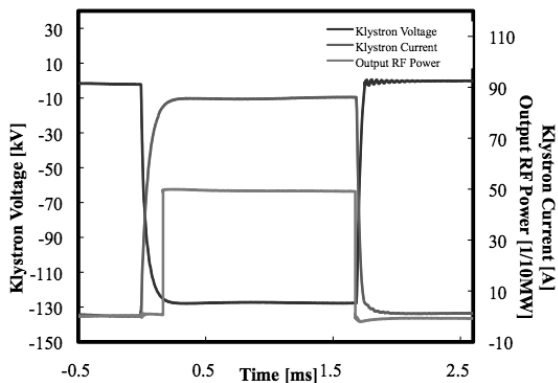


Fig. 19 5 MW 運転時での RF 出力波形とクライストロン電圧・電流波形

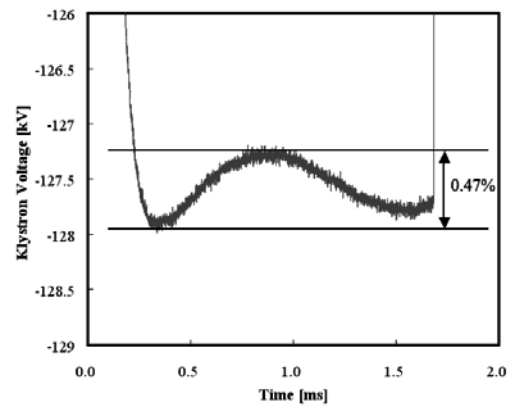


Fig. 20 5 MW 運転時でのクライストロン電圧波形の拡大

Fig. 21 にクライストロンのエージング中に放電した時の波形を示す。その時の条件は、 $E_s=9.0$  kV、繰り返し 5 pps であった。過電流のインターロックが正常に動作し、IGBT スイッチが正常にオフして、約 400  $\mu$ s 後にはクライストロンビーム電流がゼロになっている。クライストロン短絡中の注入エネルギー  $W$  は、

$$W = V_{arc} \int I_k(t) dt \quad (3-1)$$

である。但し、 $I_k(t)$ はクライストロンのビーム電流、 $V_{arc}$ は短絡中のアーク電圧である。 $V_{arc}=100$  V と仮定して  $W$  を計算すると 2.0 J で、仕様である 20 J 以下を十分満足している。

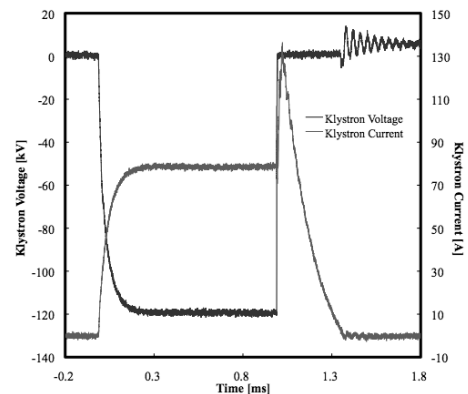


Fig. 21 クライストロン放電時での電圧・電流波形

### 3.5. Marx 型電源

#### 3.5.1. 概要

Fig 22 に Marx 型パルス電源の構成図を示す。電源はセルを充電するための直流充電器、Marx セル群とクライストロン負荷から構成される。充電時には各セルのコンデンサは並列接続で充電し、パルス発生時には各セルは直列接続して放電するので、理論上セルの充電電圧の段数倍の高圧パルスを発生させることができる。

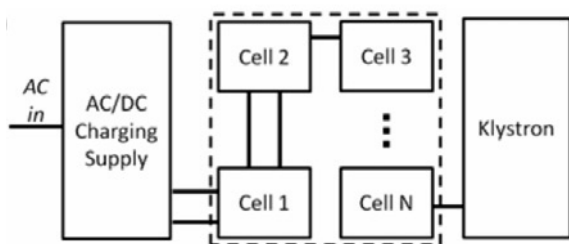


Fig. 22 Marx 型電源の構成図[10]

Marx 型の利点はモジュール式の回路構成のため、規格化されたセルを多用するので量産に向き、また組み立ても容易であること、また使用される電子部品、特に半導体スイッチ、コンデンサ等の耐圧は充電電圧値でよいので、汎用品が利用できることから電源の大幅な低コスト化ができる。一番の大きな利点はパルストランスを使わないことである。これはサイズ、コストを削減するだけでなく、出力パルス立ち上がり、立ち下がり特性も大きく改善し、電源の効率を上げる。

これまで ILC 用に開発された 3 例を紹介する。最初は Diversified Technology Inc. (DTI)社で開発された電源、次に SLAC で開発された SLAC P2 Marx 電源、最後に現在、KEK と長岡技術科学大学の共同研究で行っているチョップパ型 Marx 電源である。いずれも ILC 用であるが、それぞれの特徴を比較したものを Table 3.5.1 に示す。Redundancy (冗長性)は予備のセル数を示し、直列冗長性をもたせることで電源の信頼性を向上させている。個々については次の小節で詳しく述べる。

Table 5 Marx 電源の比較

	SLAC P2	DTI	KEK
Cell voltage(kV)	4	6	6.4
Number of cells	32	20	20(80)
Input DC(kV)	4.2/1.2	10	2
Insulation	Air	Oil	Air
Redundancy	N+2	N+1	N+1
Regulation	PWM correction	(16)0.9 kV correction cells	PWM correction

#### 3.5.2. DTI 社電源[13]

米国の DTI 社で開発された電源である。この電源は絶縁オイルによる絶縁及び冷却方式によって小型化を図っている。設計仕様は出力電圧 120-150 kV, 出力電流 120-150 A, 繰り返し 5 Hz である。Fig 23 に回路構成を示す。

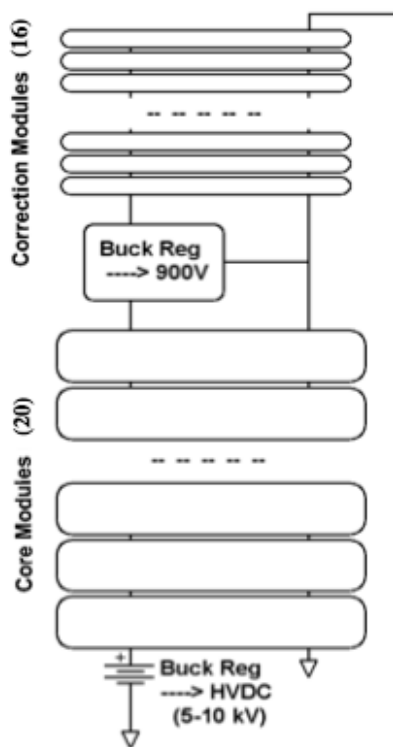


Fig. 23 DTI 電源の構成図

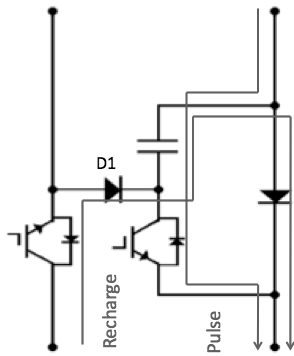


Fig. 24 DTI 電源のセル回路図

入力電源は 5-10 kV の DC で、先ず 6.5 kV 降圧チョップ回路(PS1)を通して 20 段の 6 kV Core Module (主セル回路用) が接続され、その後 0.9 kV 降圧チョップ回路(PS2)を通して 16 段の 0.9 kV Core Module (補正セル回路用) に接続される回路構成になっている。Fig. 24 に Marx セルの回路を示す。それぞれのセルは充電時に並列に充電され、パルス発生時に、20 段の主セル回路が同時に ON され出力パルスを生成する。一方、そのドループを補正するために 16 段の補正セル回路は順次 ON することによって階段状の波形を生成する。これらを合成されて平坦な出力パルスになる。すべての回路部品はオイルタンク (2.5 mW, 1.5 mD, 2 mH)内に収納されている。

KEK の STF 棟でクライストロン負荷による試験運転を行った。Fig. 25 にテストスタンドの写真を示す。

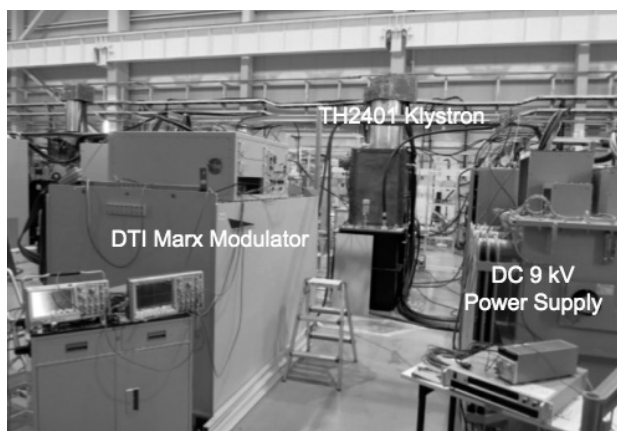


Fig. 25 STF テストスタンド

DC 電源は 3 相 420 V AC, 50 Hz をトランスで昇圧、全波整流して 9 kVDC を DTI 電源に入力した。また、出力は 10 m の高圧同軸ケーブルでクライストロン(TH2104)負荷に接続した。

Fig. 26 に出力パルスの平坦部の波形調節した後の 112 kV, 74 A, 1.5 ms の波形を示す。パルス電圧の立ち上がり時間(10-90%)は 15  $\mu$ s、また平坦度も 0.4%(p-p)で大変良好な波形が得られた。この時の PS1 は 6.1 kV, PS2 は 671 V であった。

試験運転は 120 kV, 80 A, 1.5 ms, 5 Hz まで行ったが、数時間連続運転中に、Corrector module の IGBT が短絡故障、PS2 のフィルターコンデンサの故障などが起こり、それらの改善が必要である。

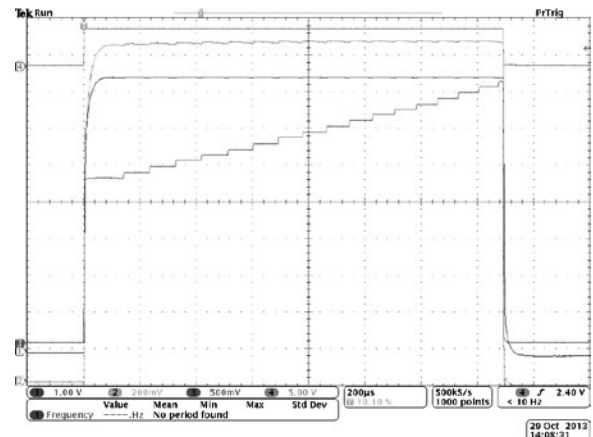


Fig. 26 DTI 電源の出力電圧・電流波形とコントロール信号 Ch1:Pulse current 40 A/V, Ch2:Pulse voltage 15 kV/V, Ch3: Feedback integrated control, Ch4: Command

### 3.5.3. SALC P2 電源[14]

SLAC で開発された SLAC P2 Marx 電源は 32 セルで構成されており、Fig. 27 に P2 Marx セルの回路を示す。このセル回路には二つの機能をもった回路が直列に結ばれている。一つは主パルスを発生する回路(コンデンサ C1、サグ 20%を持つ)と、もう一つはその 20%のサグを補償するチョップ回路(コンデンサ C2)である。チョップ回路はパルス幅変調(40 KHz PWM)制御でサグに合わせて電圧を上げて、パルスの平坦性を補償する。それぞれの回路には 4.2 kV と 1.2 kV の独立の充電ラインがある。

回路動作は、充電時にはスイッチ Q2、Q4 が ON 状態、スイッチ Q1、Q3 が OFF 状態でコンデンサ C1、C2 が充電される。パルス発生時はスイッチ Q2、Q4 が OFF 状態、スイッチ Q1 が ON 状態で主パルスを発生し、同時にスイッチ Q3 の PWM 制御でサグの補償を行う。セル単位としては 4 kV の矩形波パルスを発生する。パルス終了時はスイッチ Q1 が OFF 状態になり、主パルスを止める。同時にスイッチ Q3 の PWM 制御を止めサグの補償も止める。その時サグ補償用コンデンサ Cf1、Cf2 は約 800V 充電されているので、0 V に初期化するために、このエネルギーを C2 に回収する。スイッチ Q4 をスイッチングして（昇圧チョッパ回路として動作）エネルギーをコンデンサ C2 に戻す。これが一サイクルの動作になる。

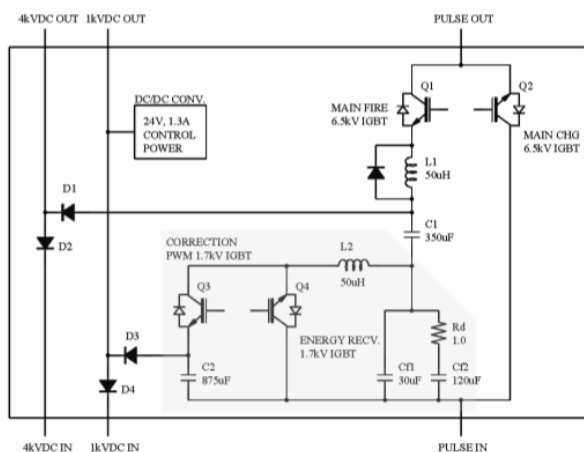


Fig. 27 SLAC P2 のセル回路図

Fig. 28 に 32 セルが収納された P2 Marx 電源全体の外観写真を示す。電源筐体のサイズは 3.5 mW, 1.7 mD, 2.4 mH である。各セルはアルミ製シールドケースに収納され、メンテナンス性を重視して、気中、強制空冷で使用する。重量は 23 kg と一人で容易に交換できるようになっている

Fig. 29 に水負荷で測定された出力パルス電圧波形を示す。パルスの立ち上がり、立ち下がり時間は 15  $\mu$ s 以下で、波形の平坦度は 0.1%(p-p)と大変良好なパルス特性が得られている[15]。

クライストロン短絡時を模擬した時の試験を行った。フル運転時に負荷に取り付けたスパークギャップを自己放電させて行った。Fig. 30 にその

時の出力電流波形を示す。この波形から、過電流を検出して 0.5  $\mu$ s 後 IGBT が OFF し正常に動作したことが分かる。この時の注入エネルギーは、短絡中のアーク電圧を 200V 一定と仮定して計算すると 10 J 以下で、仕様にある 20 J 以下を満足する[15]。



Fig. 28 SLAC P2 の外観

また、入力電力(DC)に対する有効な出力パルス平坦部の電力比で計算した電源の効率は 95%であった[10]。現在、SLAC では 10 MW マルチビームクライストロンを負荷として、フル運転での長期寿命試験を行っている。

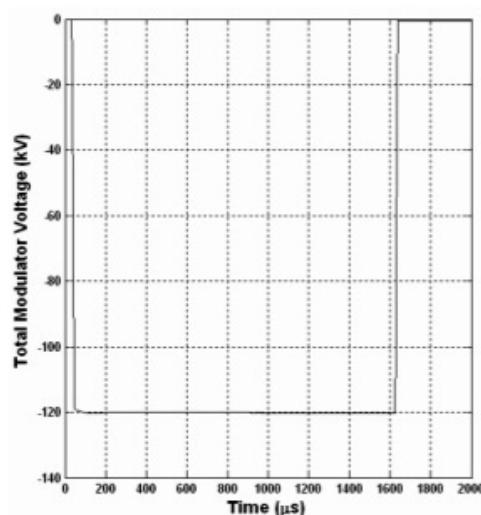


Fig. 29 出力電圧波形

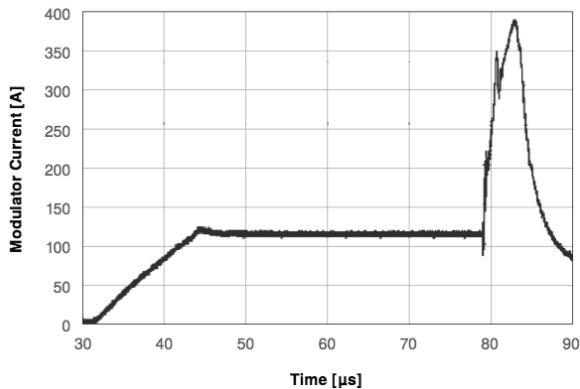


Fig. 30 模擬負荷アーク放電時での出力電流波形

### 3.5.4. チョップパ型電源[16]

このチョップパ型電源の開発は KEK と長岡技術科学大学との共同研究で行っている。チョップパ型電源は単純な回路で、PWM 制御で出力電圧を制御できる電源である。チョップパ型 Marx 電源はこのチョップパ型電源をセル回路として使用したものである。P2 Marx と比較すると一つの回路で矩形な波形がつかれ、充電 DC 電源も一種類ですみ、制御も簡単である。

Fig 31 に試作したチョップパ型セルの回路を示す。1セルの仕様は充電電圧：2.0 kV、出力電圧：1.6 kV、出力電流：140 A、出力インピーダンス：11.4 Ω、パルス平坦部：1.65 ms、立上り時間：0.1 ms 以下、出力電力：1.9 kW である。充電時は、放電用 IGBT スイッチ  $SW_D$  が OFF 状態、充電用 IGBT スイッチ  $SW_C$  が ON 状態で各セルの放電コンデンサに充電される。放電時（パルス発生時）は充電用スイッチ  $SW_C$  が OFF 状態で、放電用スイッチ  $SW_D$  はスイッチング周波数 50 kHz で PWM 制御して出力 1.6 kV が一定になるよう制御される。各セルのリップルは LC フィルターで可能な限り小さくし、全セルについては各セルのゲート信号に位相差を与えてリップルがキャンセルするようにして低減する。

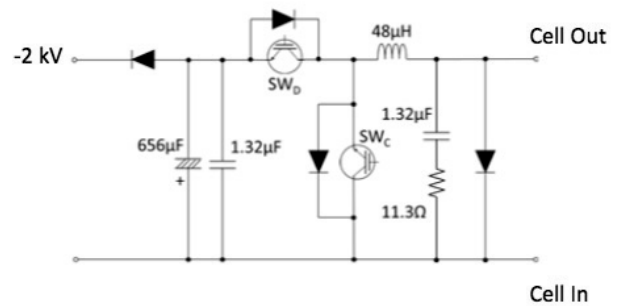


Fig. 31 チョップパ型電源のセル回路

Fig. 32 にセルの試作基板の外観を示す。セルを小型化するために、充放電用コンデンサは電解コンデンサを採用した。スイッチは IGBT を使用しヒートシンクが装着されている。サイズは 300 mmW, 400 mmD, 57 mmH である。メンテナンス向上のため、4セルをまとめて1つのユニット(370 mmW, 470 mmD, 350 mmH)にする。電源筐体は 20 ユニットの収納し、サイズは 2.7 mW, 1.3 mD, 2.3 mH になる。P2 Marx と比べてかなり小型である。

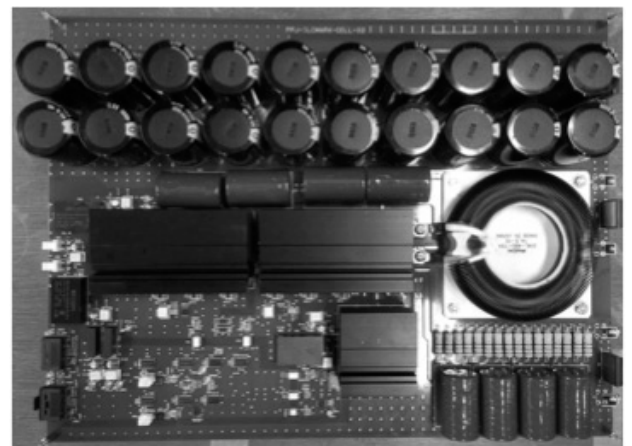


Fig. 32 チョップパ型セルの試作基盤

1ユニット(4セル)の高圧出力動作試験を行った。Fig 33 に抵抗負荷での出力電圧波形を示す。出力電圧が一定でリップルを小さくなるようゲート信号を FPGA にて作成し、PWM 制御を行った。フラット部の平均電圧 6.2 kV、電流 147 A、パルス幅 1.7 ms、最大リップル 6.1%の結果を得た。リップルはセルの数を増やしてい

くことによって減らすことができ、シミュレーションの結果では 20 ユニットで 0.5%以下になる。

#### 4. まとめ

Marx 型電源の開発で見られたように、最近のクライストロン用パルス電源はパワーとエレクトロニクスとコントロールが融合したパワーエレクトロニクス装置となっている。今やパルス電源の心臓は半導体スイッチである。最近特に注目されるのは炭化ケイ素(SiC)半導体である。SiC 半導体は Si 半導体に比べて絶縁破壊を起こす電界強度が 10 倍、最大の電子走行速度が 2 倍、熱伝導率が 3 倍という優れた物性値を持つ。これを半導体スイッチに適用すれば、高耐電圧化、高速化が実現できるとともに、熱損失を 10 分の 1 以下に低減できる。更に、200℃以上の高温動作も可能であり、SiC 半導体を使うことによって、クライストロン電源の大幅な性能、効率向上と小型化が期待できる。

#### 参考文献

- [1] 明本光生、“高周波電力源の考え方とその設計(2)”, 超伝導リニアコリダー(OHO06).
- [2] G. N. Glasoe, J. V. Lebacqz, “Pulse Generators”, McGraw Hill, 1948, First Edition.
- [3] P.W. Smith, “Transient Electronics”, John Wiley&Sons, Ltd.
- [4] 八井 浄、江偉 華、“パルス電磁エネルギー工学”, 電気学会、2002.
- [5] 原 雅則、秋山 秀典、“高電圧パルスパワー工学”, 森北出版、1991.
- [6] 京都ハイパワーテクノロジー研究会、“パルスパワー工学の基礎と応用”, 近代科学社、1992.
- [7] 柳父 悟編著、“パルスパワー技術とその応用”, 近代科学社、1992.
- [8] S. Gold, “Klystron Power Supplies, Modulators and Testing”, SLAC Klystron Lectures (2004).
- [9] A. Krasnykh, et al., “A solid state Marx type modulator for driving a TWT”, Power Modulator Symposium, pp. 209-211, 2000.

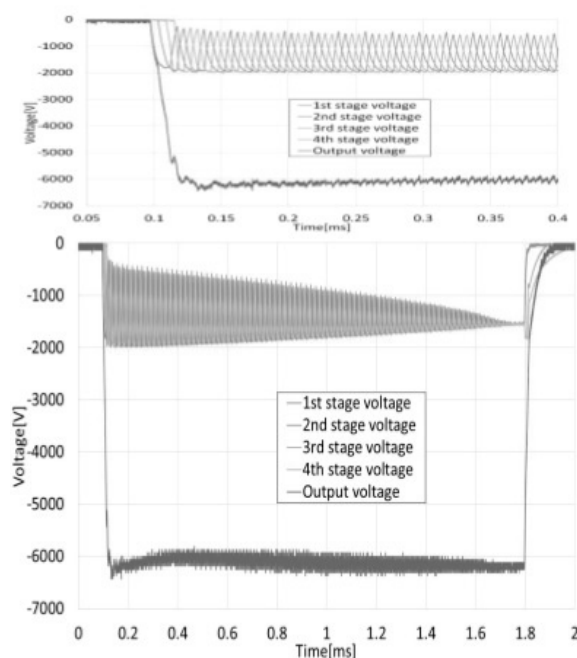


Fig. 33 1 ユニットの出力電圧波形

- [10] ILC Technical Design Report Volume 3 – Accelerator, 2013, <http://www.linearcollider.org/ILC/Publications/Technical-Design-Report>.
- [11] H. Pfeffer, et al., “A Long Pulse Modulator for Reduced Size and Cost”, FERMILAB-Cnf-94/182, (1994).
- [12] 明本光生, 他, “ILC 用バウンサー型パルス電源の開発”, 加速器学会誌, Vol. 6 (2009), pp. 130-138.
- [13] F. Arntz, et al., “New concepts for pulsed power modulators: Implementing a high voltage Solid-State Marx Modulator”, Proceedings of Power Modulator and High Voltage Conference, pp. 28-30, 2012.
- [14] M.A. Kemp, et al., “Final Design of the SLAC P2 Marx Klystron Modulator”, Proceedings of Pulse Power Conference, pp.1582-1589, 2011.
- [15] M.A. Kemp, et al., “The SLAC P2 Marx”, Proceedings of Power Modulator and High Voltage Conference, 2012.
- [16] 小笹有輝, 他, “ILC 用半導体マルクス電源”, Proceedings of Particle Accelerator Society Meeting 2013.