

大電力半導体スイッチ

1. はじめに

『大電力半導体スイッチ』は、加速器装置の中でも特に新奇かつ革新的に技術発展中である。本稿では、茨城県東海村にある J-PARC[1, 2] のリニアック(LINAC)と 3GeV シンクロトロン(RCS)の加速器で開発を進めている、次世代パワー半導体を用いた大電力半導体スイッチの現状を紹介する。はじめに、高エネルギー加速器用電源に使うスイッチングデバイスを簡単に紹介し、本文の第 4 章から、大電力半導体スイッチとパルス電源の開発の現状と検討に含めて欲しい設計内容について述べる。パルス電源の詳細や専門用語については、過去の OHO のテキスト[3]と長岡技術科学大学の江偉華先生のパルスパワーに関する論文[4, 5]を参照していただきたい。

2. 高エネルギー加速器と電源

加速器科学における研究成果の歴史は高エネルギー加速器の発展と共にあり、高エネルギー化の進展は、荷電粒子の加速方式の進化でもある[6, 7]。1930 年代に開発されたコッククロフト・ウォルトン (Cockcroft-Walton) 型やバンデ・グラーフ (Van de Graaff) 型の加速器は、直流の高電圧(静電場)を利用し、加速エネルギーは数 MeV から数 10MeV であった。その後、高周波の電場を利用する加速器が考案され、直線状に並べた加速電場により直線軌道で加速する線形加速器(リニアック)や、直流の磁場を使いらせん軌道で加速する円形の加速器(サイクロトロン)が誕生した。1950 年代に入り、位相安定性と強収束の原理により、加速エネルギーに合わせて磁場を増加させ、同一の円軌道を周回しながら加速するシンクロトロン加速器が開発された。現在では様々な加速器が開発され、加速エネルギーは数 10GeV を超えるようになっている。加速器の種類と加速エネルギーの変遷を示すリビングストーン図を Fig. 1 に示す。

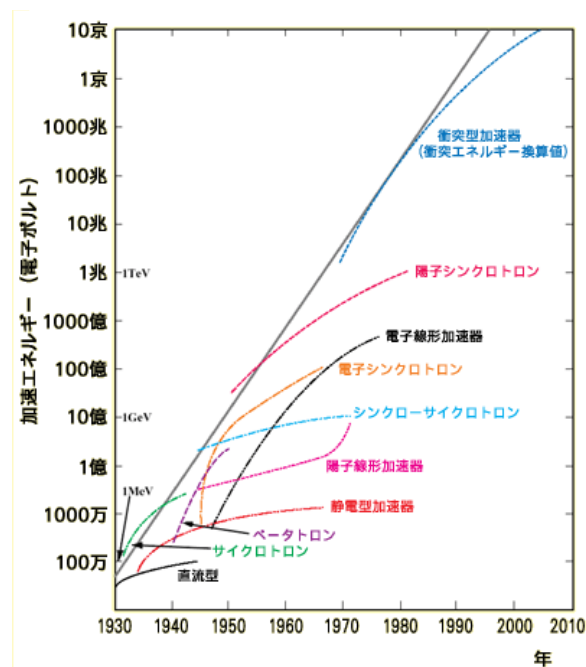


Fig. 1 加速器のエネルギーの変遷
リビングストーン図

加速器の高エネルギー化と大強度化が進み、さらに、加速器施設が大型化へと進展するためには、加速器と検出器の基盤技術の高度化が欠かせない。加速器は、真空系、モニタ系、制御系、高周波系、電磁石・電源系、さらに、機器の運転に必要な電気・水・空調の設備系と、多種多様かつ多数の機器で構成されている。これらの機器の中で、荷電粒子を加速する電場と、荷電粒子の軌道を制御する磁場をつくり出す機器が電源である。そして、高エネルギー加速器には高電圧・大電流(大電力)を出力する電源が必要である。

電源回路において、電流の通路(電路)を開閉(オン・オフ)する装置がスイッチである。加速器用電源のスイッチングデバイスには、大電力のパルスを高速で切り替えるサイラトロン(Thyratron)やイグナイトロン(Ignitron)などの放電管スイッチが開閉器として使用されている。また、整流器やインバータ装置などの電流の切り替えを高速で繰り返す変換器では、シリコン(Si)を用いた IGBT (Insulated Gate Bipolar Transistor) やサイリスタ(Thyristor)などのパワー半導体が、チョップ回路のスイッチングデバイスとして使用されている。

パワー半導体をスイッチングデバイスに使用することで、半導体がもつ安定動作の信頼性と長寿命の特性が期待できる。現在、従来の Si 半導体と比較して、高耐圧・高速スイッチング・低損失・高温動作に優位性をもつ SiC (Silicon Carbide) や GaN (Gallium Nitride) を用いた次世代パワー半導体の MOSFET (Metal-Oxide Semiconductor Field-Effect Transistor) が開発され、加速器用電源への活用が広がっている。

加速器施設の敷地面積は使用電力の大きさに比例して大きくなる。特に、電力を多く使用するのが加速器用大電力電源である。次世代パワー半導体を用いた新しいスイッチングデバイスの開発は、電源の小型化と省電力化を実現することになり、加速器施設における電力設備や冷却水設備の縮小・削減が期待できる。

3. スイッチングデバイス

加速器用電源で使用する大電力用のスイッチングデバイスには、高電圧・大電流・高速動作の切り替え性能が求められる。主に、電路を瞬間的に短絡する開閉器や、ビームの加速電場や軌道制御の磁場に要求される正弦波形やパルス波形などを形成する変換器としてスイッチングデバイスが使用される。本章では、スイッチングデバイスの主な用途と基本回路について説明する。

3.1. サイラトロンスイッチ

シンクロトロン加速器では、高速に加速されたビームの取り出しや入射を行うために、瞬間的に強い磁場を発生できるキッカー電磁石[8, 9]を使用する。キッカー電磁石用の電源は、コンデンサやパルス波形の形成とエネルギーの蓄積を兼ねた PFN (Pulse Forming Network) 回路に充電された電荷を瞬間的に放出するため、開閉器の1つである『サイラトロンスイッチ』を使用する。サイラトロンスイッチは、水素ガスなどが封入された放電管であり、高速かつ高繰り返しで大電流を流すことができる。サイラトロンスイッチを使用する回路図と動作原理を Fig. 2 と Fig. 3 に示す。直流電源を用いてコンデンサ又は PFN に蓄えた

電気エネルギーを、サイラトロンスイッチを動作(オン)してエネルギーを瞬間的に放出し、パルス波形を負荷に印加する。

J-PARC RCS のキッカー電磁石[10-15]は、双子・分布定数型である。また、終端短絡回路により負荷の電磁石は励磁電流の 2 倍の電流を得る。電源には、Fig. 4 に示す e2v 製のサイラトロンスイッチ (CX1193C) を使用している。数 ns で制御したゲートタイミングで最大電圧 80kV、最大電流 4kA、パルス幅 1 μ s の矩形波パルスを 25Hz で出力する。

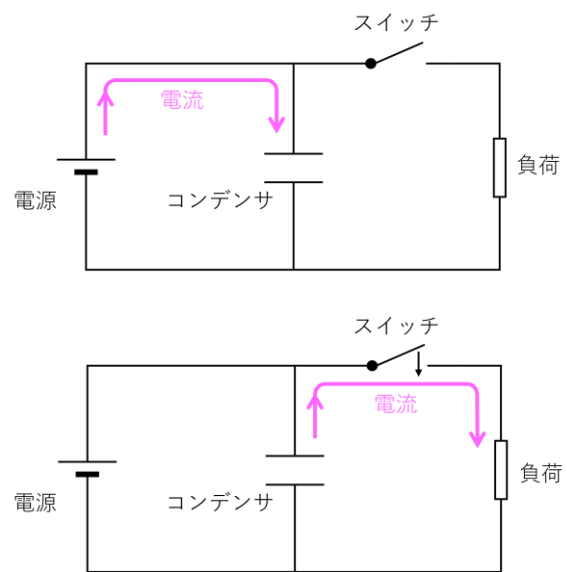


Fig. 2 サイラトロンスイッチの基本回路

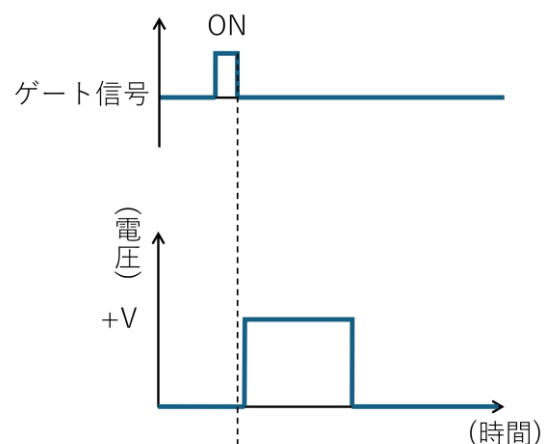


Fig. 3 ゲート信号と負荷に印加される電圧

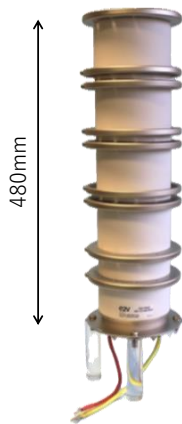


Fig. 4 e2v 製のサイラトロンスイッチ
(CX1193C)

Peak voltage : 130kV
Peal current : 10kA

3.2. イグナイトロンスイッチ

リニアック加速器では、ビーム加速に必要な大電力の高周波を発生させるため、マイクロ波を増幅するクライストロンを使用する。クライストロンの内部で放電（負荷短絡）が発生した際に、コンデンサバンクから放出された高エネルギーの短絡電流でクライストロンが損傷するのを防ぐため、開閉器のサイラトロンスイッチや『イグナイトロンスイッチ』を使用した短絡保護装置（クローバー回路）を使用する。イグナイトロンスイッチは水銀が封入された放電管である。短絡電流の増加を CT で検出し、素早くイグナイトロンを動作（オン）させることにより、短絡電流を抵抗回路にバイパスしクライストロンを保護する。イグナイトロンスイッチを利用する基本回路図を Fig. 5 に示す。

J-PARC リニアックでは、Fig. 6 に示す National ELECTRONICS 製のイグナイトロンスイッチ (NL7703EHV) を 5 本直列に接続して定格 120kV、40kA、50 μ s のスイッチとして対応している [16, 17]。

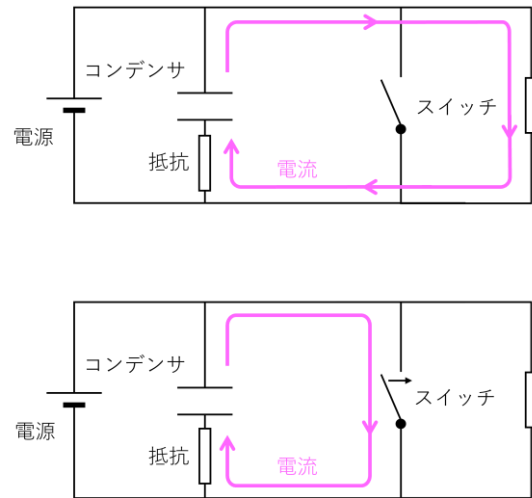


Fig. 5 イグナイトロンスイッチの基本回路



Fig. 6 National ELECTRONICS 製イグナイトロンスイッチ (NL7703EHV)

Peak voltage : 50kV
Peal current : 100kA

3.3. チョップパ回路

シンクロトロン加速器は、軌道半径を一定に保つため、ビームの周回と共に増加する加速エネルギーに合わせて磁場を変化させる必要がある。そのため、加速エネルギーの変化とシンクロした正弦波や台形波のパターン励磁を可能とするチョップパ (chopper) 回路を使用する。チョップパ回路の構造は、二象限型（ハーフブリッジ）と四象限型（フルブリッジ）を基本とする。二象限チョップパ回路の基本回路と負荷に印加される電圧波形を Fig. 7 と Fig. 8 に示す。また、四象限チョップパ回

路の基本回路、及び、スイッチ動作を行うタイミングチャートと負荷に印加される電圧波形を Fig. 9 と Fig.10 に示す。

負荷に印加する電圧・電流をプラスとマイナスに動作させる場合は、四象限チョップ回路を使用する。ただし、四象限チョップ回路では、同じ相の上下のアームが同時にオンされると短絡が生じる（アーム短絡）。アーム短絡が発生すると、短絡電流による発熱で半導体スイッチが素子破壊に至る可能性があるため、スイッチのオンとオフにデットタイムを設ける必要がある。高いスイッチング周波数で動作させる場合には、ゲート信号の最小パルス幅の条件を考慮する。

チョップ回路において、電圧は一定のまま、スイッチのオンとオフを繰り返すスイッチング動作を行い、オンの時間幅（デューティ）を周期的に変化させる制御方式を PWM (Pulse Width Modulation) と呼ぶ。パルスのオン時間を高い周波数で高速にスイッチングさせることで、任意の周波数と電圧波形の生成が可能となる。また、PWM 制御は、負荷の電流に合わせてオン時間を調整できるため、電力効率が良い。

PWM 制御による出力電圧の波形と、生成された電圧波形の平均電圧波形（理想的な正弦波）を Fig. 11 と Fig. 12 に示す。半導体スイッチのスイッチング周波数（キャリア周波数）が高いとパルスのオン時間幅を短くできるため、細かい波形制御が可能となり、より理想に近い高精度な波形生成を実現する。ただし、高周波スイッチングによるノイズ対策や熱対策が必要になる。

J-PARC RCS の偏向電磁石、四極電磁石、バンブ電磁石のパルス電源には二象限チョップ回路 [18, 19]が、MR の主電源[20-22]には四象限チョップ回路が使用されている。

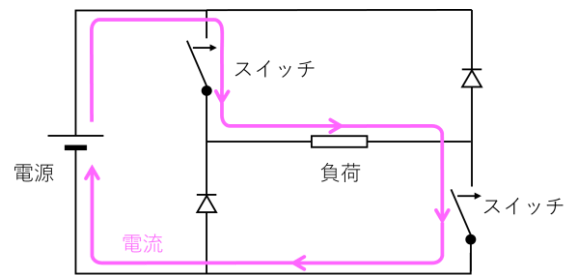


Fig.7 二象限チョップの基本回路

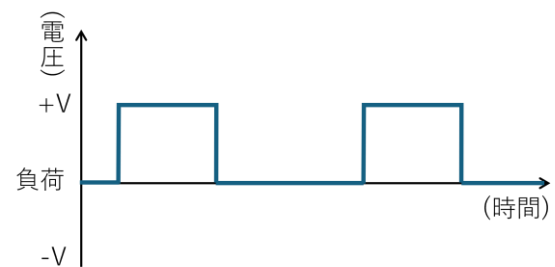


Fig. 8 負荷に印加される電圧

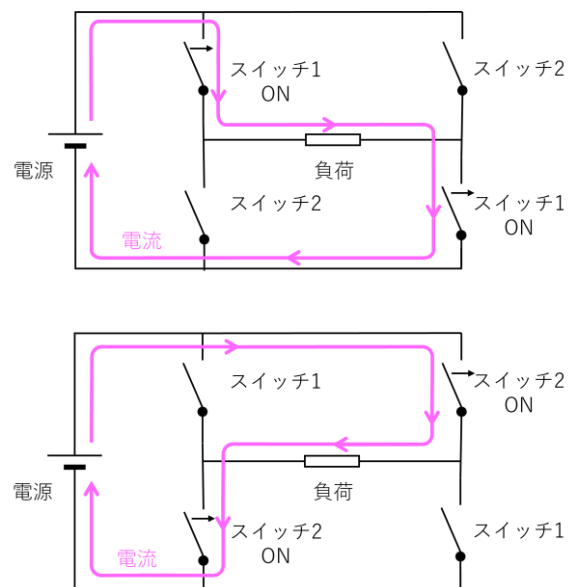


Fig. 9 四象限チョップの基本回路

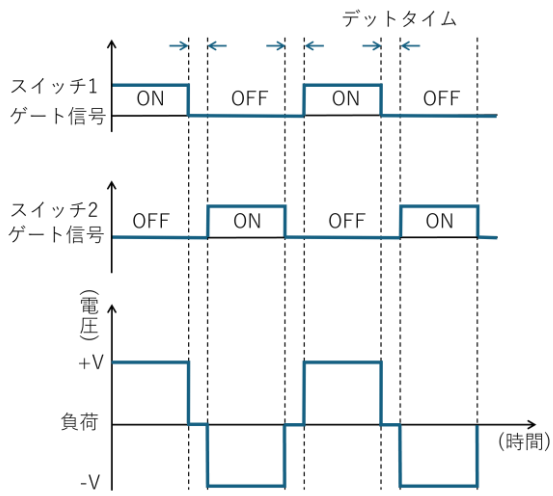


Fig. 10 動作タイミングチャートと負荷に印加される電圧

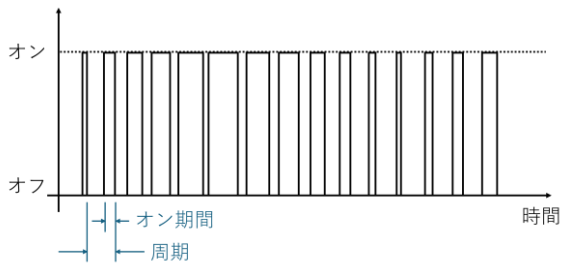


Fig. 11 PWM 制御信号

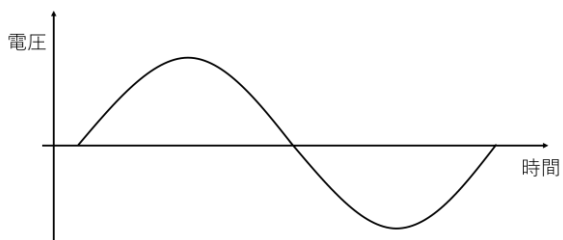


Fig. 12 チョップ回路の PWM 制御による平均電圧波形 (理想的な正弦波波形)

4. 大電力半導体スイッチ

高電圧・大電流の大電力パルスを高速で切り替える放電管のイグナイトロンやサイラトロンは、加速器用電源の負荷保護回路や回路のスイッチに使用されている。しかし、イグナイトロンは水銀を使用しており、環境問題から製造中止が見込まれている。今後の継続した安定受注は不透明であり、故障時に交換する予備品を確保できなくなる恐れがある。また、サイラトロンは管内のガス圧を安定にする調整を適時必要とする。その上、使用を開始して短時間で故障が発生することがあり、寿命時間にばらつきがある[23-27]。予想していないタイミングで発生する故障は、加速器施設の稼働率を低下させる要因となる。以上のことから、放電管スイッチのイグナイトロンやサイラトロンを代替する安定した動作と長寿命な半導体スイッチの開発が求められる。

大電力用のパワー半導体としては、サイリスタや GTO (Gate Turn-Off thyristor) が使用されてきた。過電流耐量が大きく、かつ、高電圧化回路を容易に構築できるメリットがあった。しかし、今ではほとんど使用されていない。回路で構成できるスイッチング周波数が 500Hz 程度であり、最近の市場で求められる高周波化の需要に追いつかず衰退したと思われる。

現在の市場で主流なパワー半導体は、Si 製の IGBT と MOSFET である。IGBT はおよそ 5000kVA の大電力に対応できるパワー半導体で、最大スイッチング周波数は数 10kHz 程度ある。MOSFET は、最大スイッチング周波数が数 100kHz 程度と高速スイッチングに対応できるが、電力が 10kVA 程度と少ない。そのため、既存のパワー半導体を用いて、イグナイトロンやサイラトロンの代替に必要な「大電力 (高電圧・大電流)」と「高速性」を両立することは困難である。

近年、従来品より「高耐圧」「高速」「低スイッチング損失」の特性に優れた SiC や GaN を用いた次世代パワー半導体の開発が進められている。特に、SiC-MOSFET は 1000V 超の耐電圧に対応できるため、Si の IGBT の代替デバイスとして研究開発が進められている[28-30]。

SiC は従来から用いられている Si と比較して主に以下の優位な特性を有しており、高電圧、大電力に適した次世代のパワー半導体として注目されている。SiC の特徴を以下に示す[29]。

Table 1 SiC の特徴

項目	Si	SiC	特徴
バンドギャップ (eV)	1.12	3.26	高温動作
絶縁破壊電界強度 (V/cm)×10 ⁵	0.3	3.0	高耐圧 低オン抵抗
熱伝導度 (W/cmK)	1.5	4.9	高放熱特性
飽和ドリフト速度 (cm/s)×10 ⁷	1.0	2.7	高周波動作

□ 加速器用パルス電源として有意な特徴

高耐圧	: 高電圧
低オン抵抗、高放熱特性	: 大電流
高温動作	: 高繰り返し動作
高周波動作	: 短パルス出力

4.1. 多重化回路の構築

産業技術総合研究所先進パワーエレクトロニクス研究センター (AIST)[31]では、13kV 級の SiC-MOSFET のパワー半導体素子を開発した。そして、加速器用パルス電源に活用する開発が進められている[32-34]。しかし、J-PARC RCS のキッカー電源などに必要な 80kV の高電圧や、4kA の大電流に対応するには、複数のパワー半導体を用いて直並列に多重化した回路の構築が必要である。並列の接続数を増やして大電流化し、直列の接続数を増やして高電圧化する。多重化回路構築のイメージ図を Fig. 13 と 14 に示す。

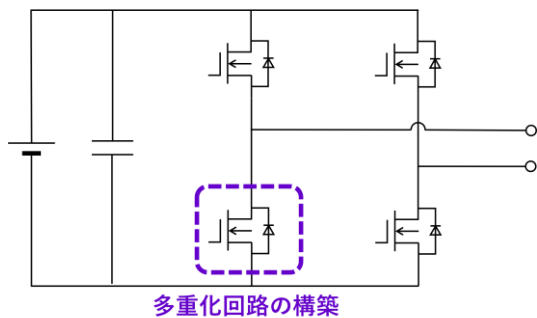


Fig. 13 一般的なスイッチ回路

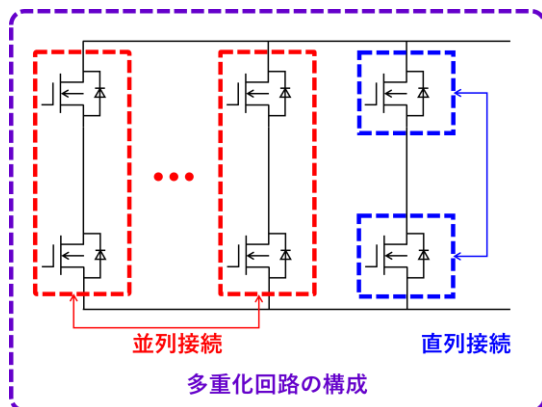


Fig. 14 パワー半導体多重化回路

4.2. 並列回路 (線対称型)

大電流化に対応する多重化回路の構成は、一般的には並列回路を横に並べ、真ん中を中性点にした対称型で構築する (Fig. 15 参照)。本構造をここでは線対称型回路と呼ぶ。線対称型回路は、コモンモードノイズの抑制に優れた構造である[35-38]。しかし、並列回路の数が増えると、図中の電流の流れを示す矢印の長さが異なっているように、合成電流の出力口までの電流路に差が生じる。この回路構造で各並列回路に設けた半導体スイッチを全て同時にオンした場合、Fig. 16 に示すように、出力口までの到達時間には、電流路の距離差に起因した遅れが発生する。そのため、出力口で合成する波形には Fig. 17 に示すように歪みが生じる。この時間遅れの対策には、並列回路の位置と距離に応じて半導体スイッチをオンするタイミングを調整し、出力口に到着する時間を合わせることで、到達遅れ時間の差を無くすることができる。しかし、素子の位置、電流路の距離、配線ルートなどの基板配置で決まる寄生インダクタンスの影響は、半導体スイッチをオンするタイミングでは調整できない。そして、これらの寄生成分や浮遊成分に起因する波形歪みを、線対称型回路で抑制することは非常に難しい。ここでは、電流路の距離と伝搬の時間に差が生じる並列回路構造を不等長回路と呼ぶ。

4.3. 並列回路 (放射対称型)

Fig. 18 に示すように、並列回路を同心円状に配置すると、全並列回路の素子の位置、電流路の距離、配線ルートなどを同一にすることができる。そのため、Fig. 19 に示すように、半導体スイッチを全て同時にオンをしても波形遅れが生じない。さらに、Fig. 20 に示すように、回路インピーダンスに起因した歪みは合成波形に生じ難くなる。以上の理由から、高速パルス回路には理想的な回路構造だと考える[39] (科研費: 17K06334)。

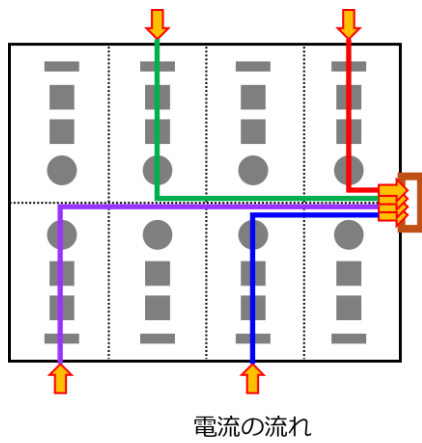


Fig. 15 線対称型回路構造

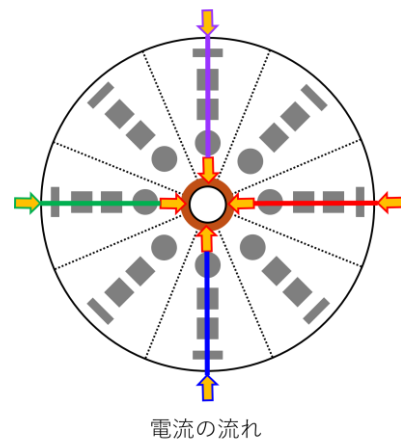


Fig. 18 放射対称型回路構造

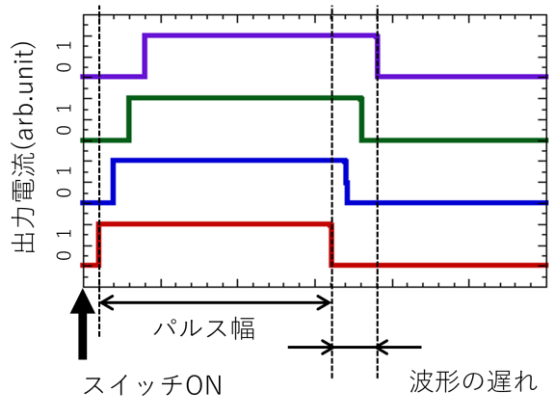


Fig. 16 スイッチ動作と電流波形

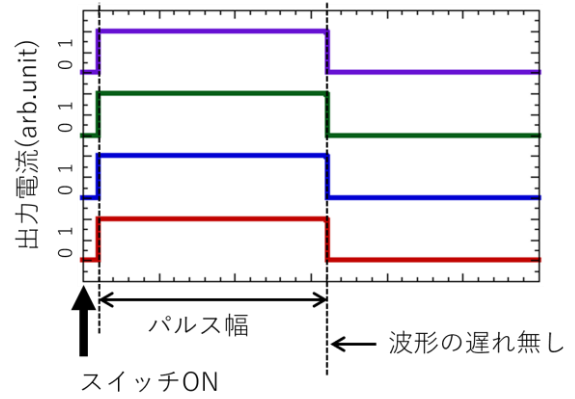


Fig. 19 スイッチ動作と電流波形

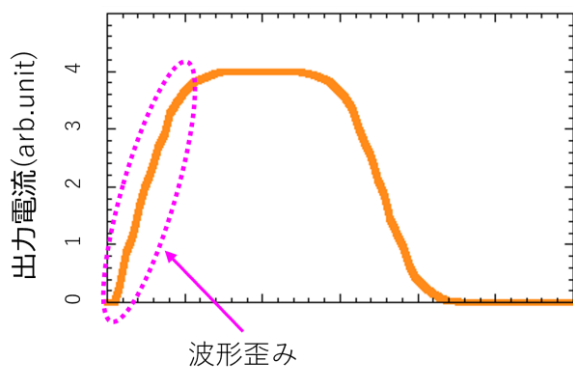


Fig. 17 合成波形イメージ図

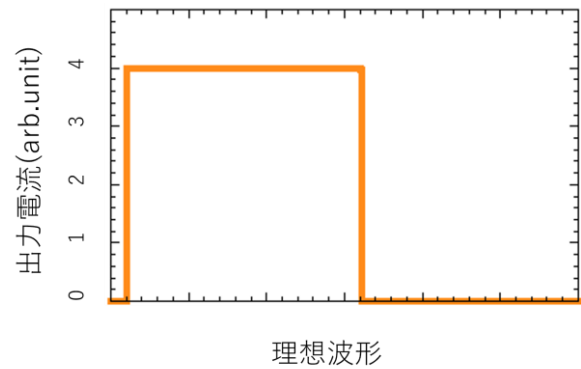


Fig. 20 合成波形イメージ図

4.4. 並列回路の評価試験

並列回路の構造に起因して合成波形に生じる波形歪みを、線対称型と放射対称型の異なる2種類の試験基板を用意して評価した。試験で評価する並列回路数は全て同じ数とし、全体で8個、さらに、直列2段で2倍の出力電圧でも評価できる構成とした(全16個)。線対称型は2つの並列回路を上下に配置したベース基板を8枚用意した。線対称型の本ベース基板を横に並べて配置する回路間距離は50mmと300mmの2条件で評価した。放射対称型は、8個の並列回路を直径40mmの円周基板上に配置した基板を2枚用意した。パワー半導体の素子は、ローム製のSiC-MOSFET(1200V, 72A)を使用した。Fig. 21-25に評価用基板の概略図、写真、および、試験時の様子をそれぞれ示す。1段当たりの出力電圧は800V、2段では1600Vとなる。

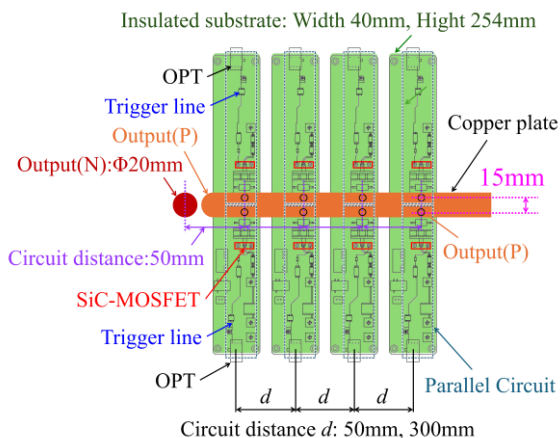


Fig. 21 線対称型回路基板

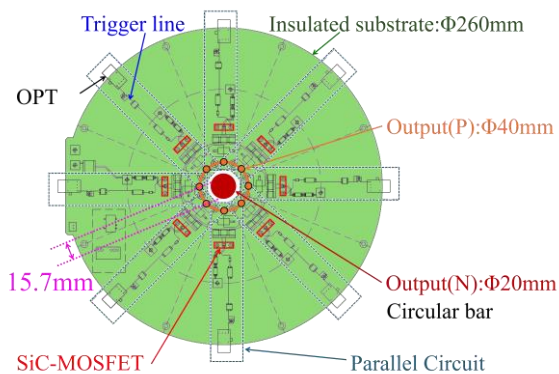
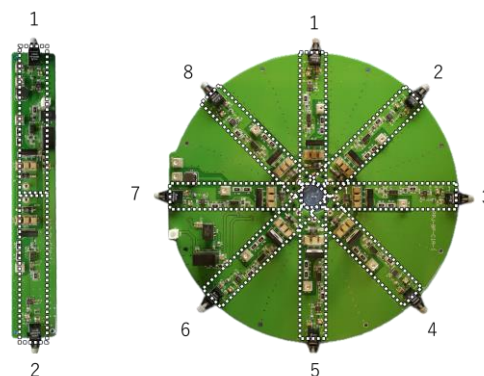


Fig. 22 放射対称型回路基板



【線対称型回路基板】

【放射対称型回路基板】

Fig. 23 評価用回路基板

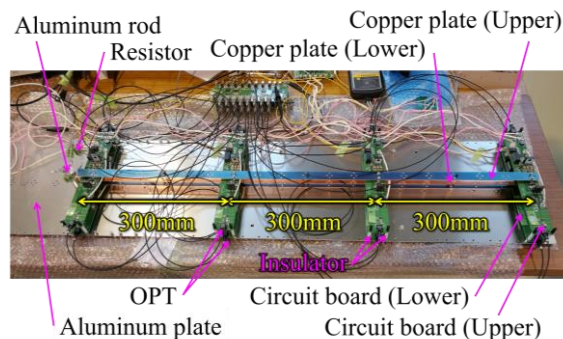


Fig. 24 線対称型の距離300mm試験

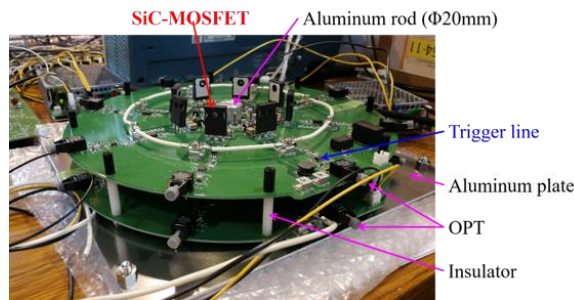


Fig. 25 放射対称型の2段(電圧2倍)試験

評価結果を Fig. 26 と 27 に示す。放射対称型(Radially symmetric)は波形歪みが小さく、ピークと減衰の部分で最も急峻な形状を示した。線対称型(Line Symmetric)は基板間隔を50mmから300mmに広くすると波形歪みの程度が大きくなった。第4.2と4.3章で述べた想定通りの結果を示している。次に、10%-90%の立ち上がり時間で評価した結果を Table. 2 に示す。2段1600Vの

放射対称型が 45ns と最も速いことを確認した。放射対称型の基板は、大電流化の並列回路を構築する場合、高速パルス電源用回路として最適な回路構造であることを評価試験でも確認できた。

回路構造の違いで波形に生じる差はわずかであった。つまり、線対称型構造も十分な性能を要している。ただし、半導体スイッチの多数使用や高いスイッチング周波数での動作回路を構築する場合には、寄生インダクタンスの影響でノイズや発熱となり誤動作の要因になる可能性があるため、回路の構築には十分な検討が必要である。

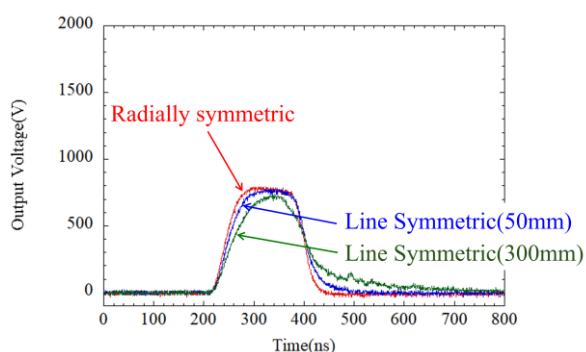


Fig. 26 1段の試験結果

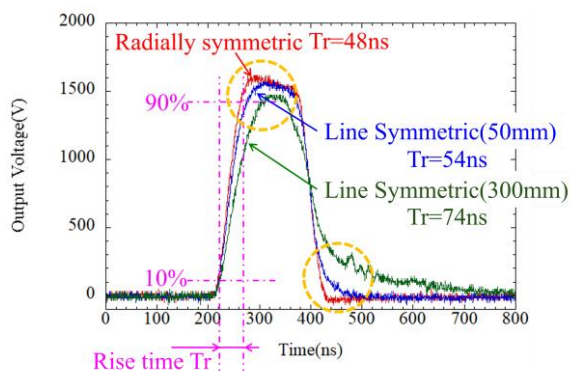


Fig. 27 2段 (電圧 2 倍) の試験結果

Table 2 評価結果

回路構造	1 段	2 段
線対称型 50mm	54ns	52ns
線対称型 300mm	74ns	70ns
放射対称型	48ns	45ns

4.5. 直列回路(LTD)

高電圧の出力には、パワー半導体の直列接続数を増やして対応する。ここでは、パワー半導体と強磁性体のトロイダルコアを用いた LTD (Linear transformer driver) 回路について紹介する [5, 40]。

基本回路図を Fig. 28 に示す。コンデンサとスイッチを組み合わせた一次側の回路で短パルスを生成し、二次側に発生した電圧を負荷に印加する。二次側で発生した電圧を誘導的に重畳することで、高い出力電圧を得ることができる。パルス電源としての出力電圧は、1 枚の LTD 回路基板のコンデンサに充電する電圧と、LTD 回路基板の段数で決まる。合成回路の基本構造を Fig. 29 に示す。一次側と二次側はコアで分離されるため、一次側の回路は接地電位となり、制御電源やトリガ信号の絶縁が不要となる。LTD 方式は、回路基板に高耐圧の絶縁設計を必要としない特徴があり、さらに、誘導的に電圧を重畳するため、原理的に無限に高い電圧を出力できる。また、複数の基板を直列に接続し、各段の半導体スイッチのタイミングを各々に調整することで、任意の電流と電圧のパルスの出力が可能となる。

LTD 方式の基本的な動作原理は、1:1 のトランスとして考えると理解がし易い。コンデンサが外部電源によって充電された状態で、スイッチをオンにすると、コンデンサから放電された電流は Fig. 28 と 29 の図中の実線に示される経路で流れる。流れた電流はコアを囲む一次側電流となり、これによって誘起された二次電流が流れ、負荷へエネルギーを出力する。コアの損失が無視できるほど小さければ、一次電流と二次電流はほぼ等しくなり、効率よくパルスパワーを発生することができる。しかし、コアが飽和すると誘導電圧が発生しなくなり、出力が低下する。繰り返し出力するパルス運転を行う場合、LTD を正常に動作し続けるために、コアの飽和を回避する磁束のリセットが必要となる [41]。LTD 用のコアの選定には、以下の 3 項目がポイントとなる。使用するコアの代表的なデータを Fig. 30 に示す。

- ① 飽和磁束密度が大きい
- ② 角型比が 1 に近い
- ③ 保持力が小さい

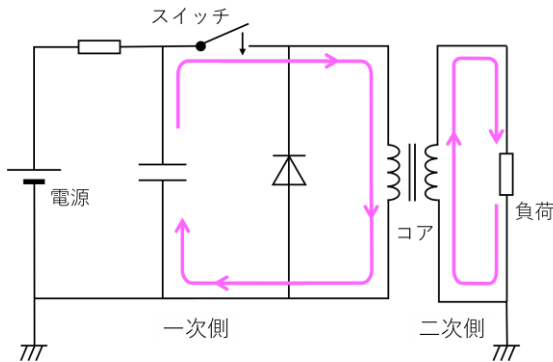


Fig. 28 LTD 基本回路

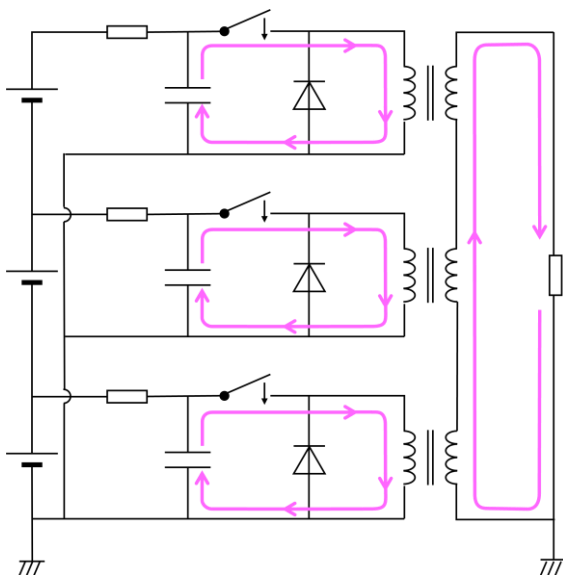


Fig. 29 LTD 合成の基本回路

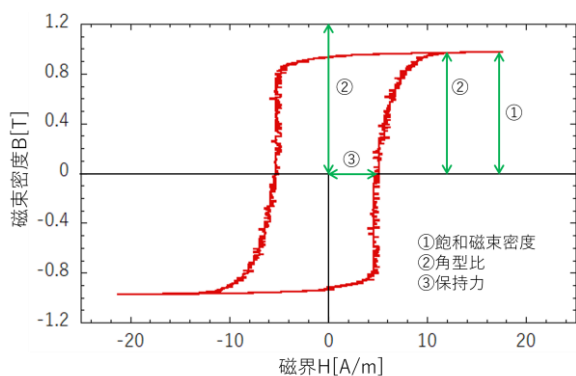
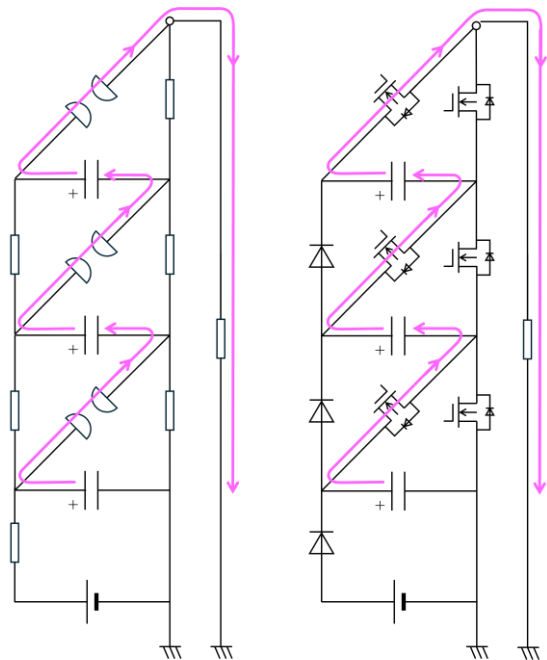


Fig. 30 LTD 用コアデータ (BH カーブ)

4.6. 直列回路(MARX)

抵抗を挟んで梯子状に並列接続された複数のコンデンサを同時に充電する。スイッチのオン動作により、コンデンサが直列接続された回路になり、コンデンサの数の分だけ充電電圧を合算した高電圧を出力することができる。本回路方式を MARX と呼ぶ。

MARX は、ギャップスイッチと充電抵抗を使用し、以前から高電圧パルスの発生に使用されてきた方式である。本回路において、ギャップスイッチと充電抵抗を半導体スイッチとダイオードに変更することで、安定した高繰返し動作が可能となる。本構成を半導体 MARX 方式と呼ぶ。コンデンサと充電用半導体スイッチ、放電用半導体スイッチを一組としたパルス電源モジュールを直列に接続することで、低い充電電圧で高い電圧のパルスを発生することが可能となる。また、直列に接続した MARX のモジュール基板の半導体スイッチの動作タイミングをそれぞれ調整することで、出力電圧の値と出力する波形を任意に変更することが可能となる。Fig. 31 に MARX の基本回路と放電電流の流れを示す。



ギャップスイッチ

半導体スイッチ

Fig. 31 MARX の基本回路と放電電流の流れ

5. LTD キッカー電源

Si サイリスタや Si-MOSFET、さらには、次世代パワー半導体の SiC-MOSFET を用いたサイラトロン代替スイッチとキッカー電磁石用高速パルス電源は、既に多くの開発が進められている。詳細は、参考文献[42-48]を参照していただき、ここでは、J-PARC でも開発が進められている LTD (Linear transformer driver: 誘導電圧重畳回路) 方式を用いた新パルス電源について紹介する[49-61]。RCS キッカー電磁石用電源に求められる高電圧・大電流の大電力の高速スイッチングに対応し、かつ、市販化されている次世代パワー半導体の SiC-MOSFET を使用する。

5.1. RCS キッカー用半導体スイッチ電源

既存の J-PARC RCS のキッカー電源では、 20Ω の高電圧同軸ケーブルを 110m 使用した PFN を使用している。充電電圧は最大 80kV である。本キッカーシステムの基本回路図を Fig. 32 に示す。サイラトロンスイッチを半導体スイッチに換えて電源回路を構成した場合、既存電源で構成している PFN を使用しないため、回路全体の電路長に起因するインピーダンスが半分になる (Fig. 33 参照)。必要な電流値を確保する充電電圧を 80kV から 40kV に半減できるため、高電圧の印加によるケーブルのパンクや放電等のトラブル低減が期待できる[62, 63]。また、高耐圧絶縁設計の負担も減らすことができる。J-PARC RCS キッカー用 LTD 半導体スイッチ電源の設計仕様を Table. 3 に示す。

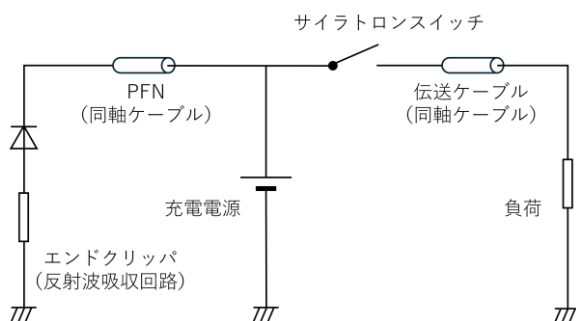
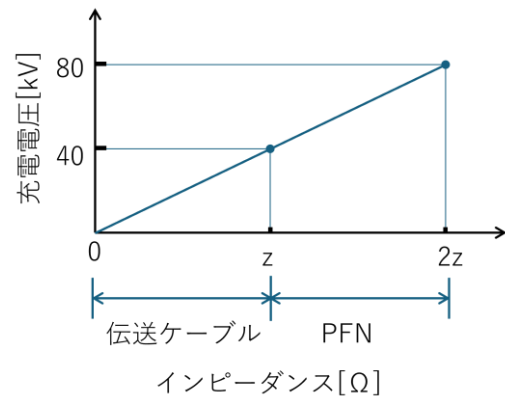


Fig. 32 RCS キッカーシステム基本回路



- ・サイラトロンスイッチ電源
 $2z \times I = 80\text{kV}$
- ・半導体スイッチ電源
 $z \times I = 40\text{kV}$

Fig. 33 回路のインピーダンスと出力電圧

Table 3 J-PARC RCS キッカー用 LTD 半導体スイッチ電源の設計仕様

出力電圧	40kV
出力電流	2kA
フラットトップ幅時間 (Flat-top)	> 1.0 μ s
立ち上り時間	< 250ns
フラットトップ平坦度	$\pm 0.5\%$
パルス再現性・安定性	$\pm 0.5\%$
繰り返し周波数	25Hz
キッカー電磁石 1 台当たりに必要なユニット電源数	4 台

5.2. LTD 回路モジュール基板

半導体スイッチを用いて開発した LTD 主回路モジュール基板の基本回路図を Fig. 34 に、基板の写真を Fig. 35 に示す。キッカーシステムの主要な機器であるサイラトロンスイッチ、PFN、エンドクリッパを 1 枚のモジュール基板に構成する。エンドクリッパとして使用する反射波吸収回路は、大強度ビームがキッカー電磁石を通過する際に励起された誘導電流[64]を吸収することができ

る。J-PARC RCS の 1MW 以上の大強度ビームの不安定性を抑制するためには必要な機能である。

キッカー電源が出力する矩形波のパルス波形のフラットトップ部にはドループが発生する。キッカー電磁石がビームバンチの軌道を高精度に制御するには、ドループを補正した平坦のフラットトップを必要とする。そのため、フラットトップを補正する回路（補正回路モジュール基板）を追加する。基本回路図を Fig. 36 に、基板の写真を Fig. 37 に示す。補正回路は、主回路基板の約 10 分の 1 の電圧を出力し、複数枚の補正回路モジュール基板の出力タイミングの調整により、矩形波パルスのドループを補正する。

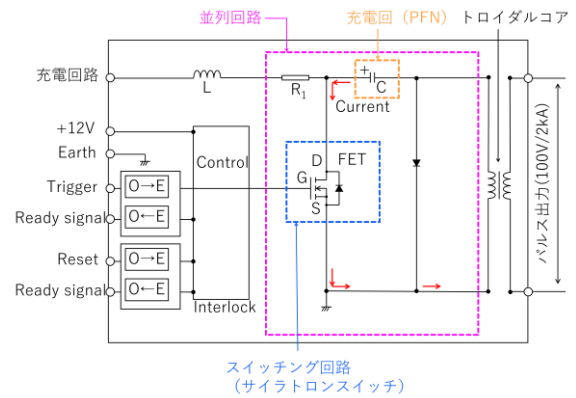


Fig. 36 LTD 補正回路モジュール基板の回路図

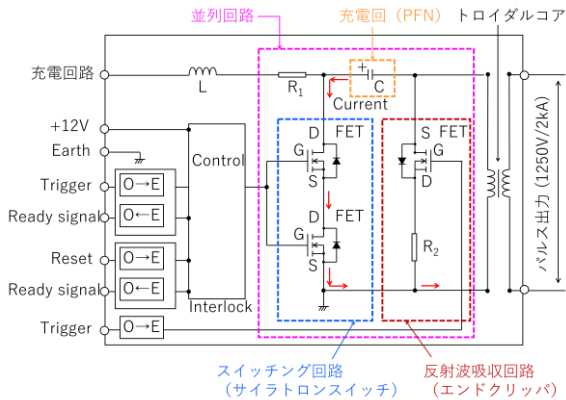


Fig. 34 LTD 主回路モジュール基板の回路図

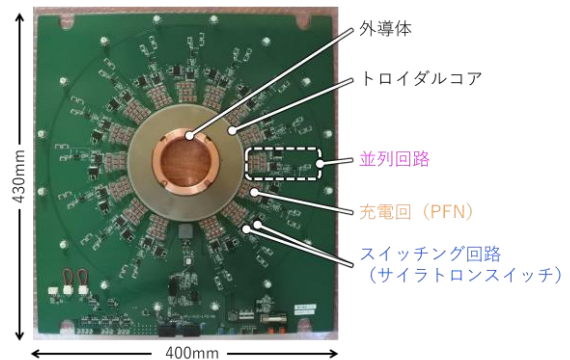


Fig. 37 LTD 補正回路モジュール基板の写真

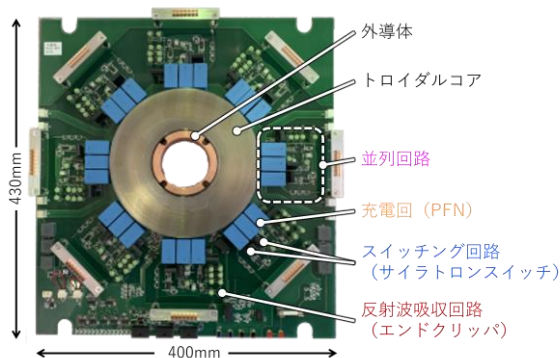


Fig. 35 LTD 主回路モジュール基板の写真

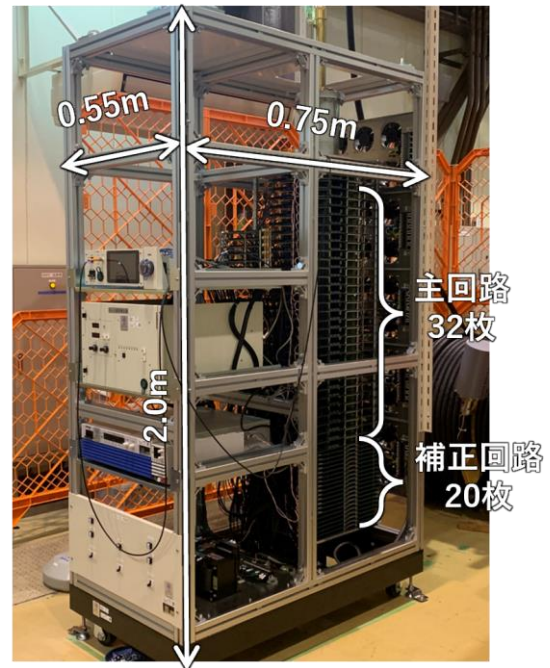
出力電圧 40kV、出力電流 2kA を出力し、1.0 μ s のフラットトップを $\pm 0.5\%$ 以下の平坦度に補正をするには、1250kV を出力する主回路モジュール基板を 32 枚と、100V を出力する補正回路モジュール基板を 20 枚使用する。Fig. 38 に示すようにモジュール基板は階層的に直列に接続する。主回路基板の 32 枚と補正回路基板の 20 枚で合計 52 枚を積み重ね、これに、制御盤など含めて 1 ユニット構成の電源を構築する。構築したユニットの写真を Fig. 39 に示す。既設のキッカー電磁石に使用する場合、本電源ユニットを 4 台並列に接続し、2 台 \times 2 台の双子型キッカーシステムとして運用する。既設キッカーシステムとの大きさ比較の図を Fig. 40 に示す。体積比で 91% 減となる。また、使用電力が 25% 減、かつ、冷却設備を使用しない。主な比較項目を Table 4 に示す。本

システムは、次世代パワー半導体を用いて小型化と省電力化を実現する。

製作した1ユニットのLTDキッカー電源の出力した波形とフラットトップ補正前後の波形をFig. 41と42に示す。既設のサイラトロンスイッチ電源を代替できる波形性能を確認できた。

□メモ：モジュール基板のコンデンサ容量

- 出力電流 : 2kA
- パルス幅 : 1.2 μ s
- 電荷量 : 2kA \times 1.2 μ s=2.4mC
- ドループ : 定格40kVの1%(400V)
- コンデンサ容量 C : 2.4mC \div 400V=6 μ F
- コンデンサエネルギー : 1/2 \times 6 μ F \times (40kV)²=4.8kJ
- 1段当たりのコンデンサ容量 : 6 μ F \times 32段=192 μ F



出力仕様：40kV/2kA/1.2 μ s/25Hz

Fig. 39 半導体スイッチ電源ユニット1台

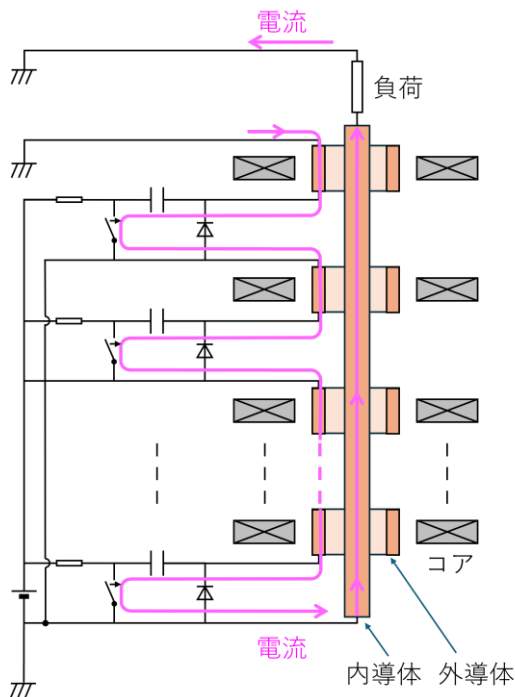


Fig. 38 モジュール基板の階層的直列接続構造

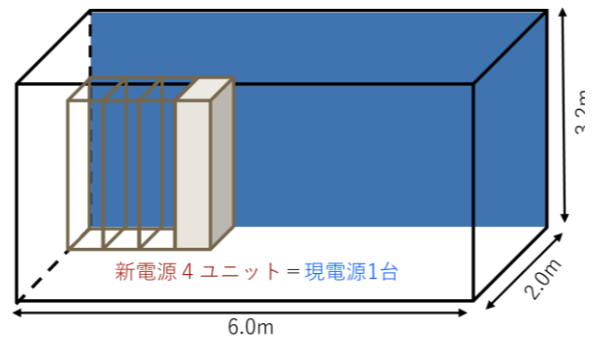
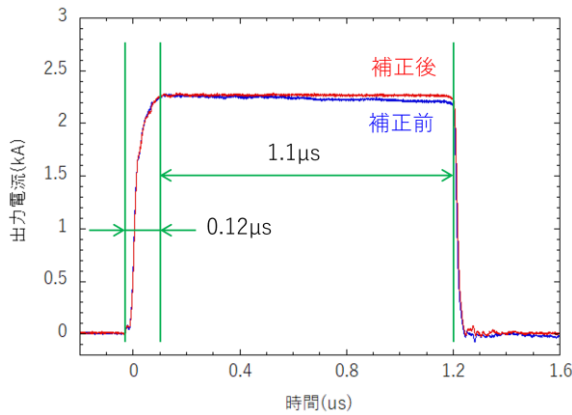


Fig. 40 LTDキッカー電源ユニットと現キッカー電源の大きさ比較

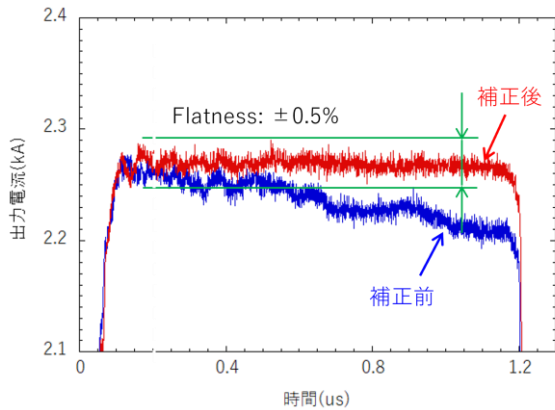
Table 4 新旧システム比較

項目	既設	新電源	比較
電源幅(m)	6.0	2.2	91%減
電源奥行き(m)	2.0	0.75	
電源高さ(m)	3.2	2.0	
使用電力(kW) ※60kV/25Hz	9.87	7.43 (4台)	25%



模擬負荷 20Ω (抵抗器)
 主回路充電電圧 :1360V
 補正回路充電電圧 :10V ⇒ 60V

Fig. 41 フラットトップ補正前後の波形



ディレイ値 : 50ns 毎変更
 700ns ⇒ 1650ns
 パルス幅 : 50ns 毎変更
 1050ns ⇒ 100ns

Fig. 42 フラットトップ補正前後の波形(拡大)

5.3. LTD 回路の温度特性

実機運用時と同等に、負荷用の同軸ケーブルの終端を短絡し、反射波を発生させた状態で LTD 回路の温度特性を評価した。評価に使用した波形を Fig. 43 に示す。また、LTD 回路の温度測定箇所と最高温度を Fig. 44 に、室内温度からの上昇温度を Fig. 45 に示す。温度は、最上段(40kV 出力)の主回路基板を測定した。LTD 回路は中心に電力伝送導体があるため、空冷ファンは吐出タイプとし、エアダクトを設けて効率良く冷却できるようにした。測定の結果、反射波を吸収する抵抗が

最も温度が上昇し、SiC-MOSFET など回路素子の温度は高い温度でも 15°C 程度だった。非常にロスが小さい電源であることを確認した。

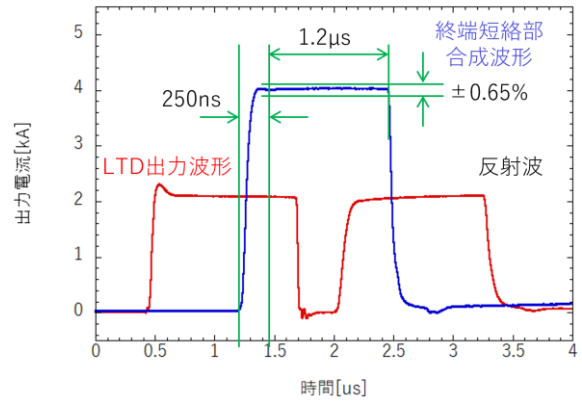


Fig. 43 温度測定時のパルス出力波形

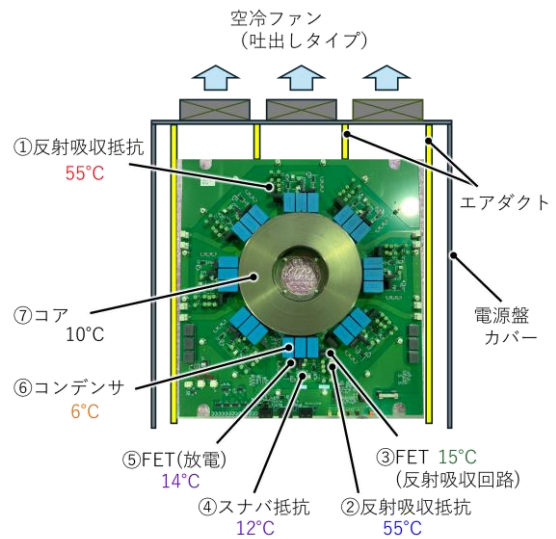


Fig. 44 LTD 主回路の温度測定箇所と上昇温度

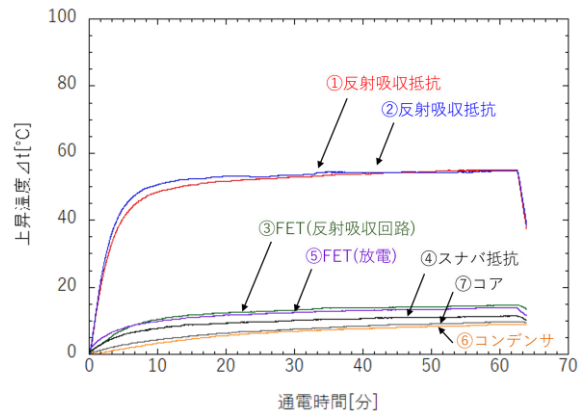


Fig. 45 LTD 回路温度測定結果

5.4. 特性インピーダンスのマッチング回路

放射対称型の LTD 回路モジュール基板の電流伝送部は、スイッチ回路基板配置の Fig. 46 が示すように内導体と外導体を組み合わせた同軸型をしている。高電圧の出力には、必要な電圧に合わせた枚数のモジュール基板を階層的に直列に接続して積み上げるため、同軸型の電流伝送回路は長尺化する (Fig. 47)。LTD 回路モジュール基板の電位は段数に合わせて高くなる。伝送路に流れる電流は一定であるため、伝送路の回路インピーダンスは、モジュール基板の枚数と高さで変わり、回路インピーダンスは Fig. 47 に示す Z_n で示される。伝送路の特性インピーダンスは、同軸線路の特性インピーダンス Z_0 の計算式 (5-1) ~ (5-3) で示す。内導体と外導体の半径比 (b/a) が変わらないストレート型内導体を用いた場合、伝送回路の特性インピーダンス Z_0 はどの位置でも変わらない。そのため、モジュール基板の枚数と高さで決まる回路インピーダンスとの間にミスマッチを生じる ($Z_n \neq Z_0$)。

インピーダンスのミスマッチは、出力電流波形の歪みやノイズの原因となる。そこで、内導体と外導体の半径比を変更し、特性インピーダンスを電位と高さに合わせて調整できるテーパ型の内導体を使用する。回路基板 (出力電圧) の位置に合わせて導体径を決める。テーパ型導体は、高電圧化を目的にモジュール基板を多層化し、かつ、電流伝送路が長尺化した場合でも、インピーダンスのマッチングを取ることができる。

ストレート型とテーパ型の 2 種類の導体を製作し、それぞれの出力波形を評価した。測定結果を Fig. 48 に示す。わずかではあるが、比較をすることで特性インピーダンスとマッチングした効果を確認することができた。本マッチング回路を採用すれば、出力パルスの波形に生じる歪みの低減を実現する。

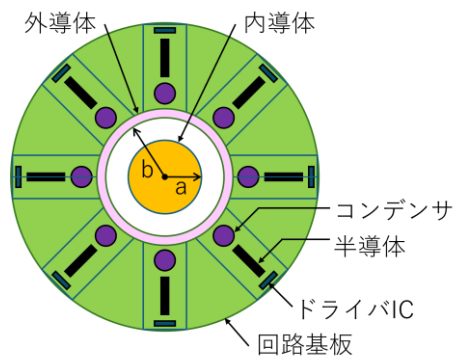


Fig. 46 放射対称型スイッチ回路基板配置

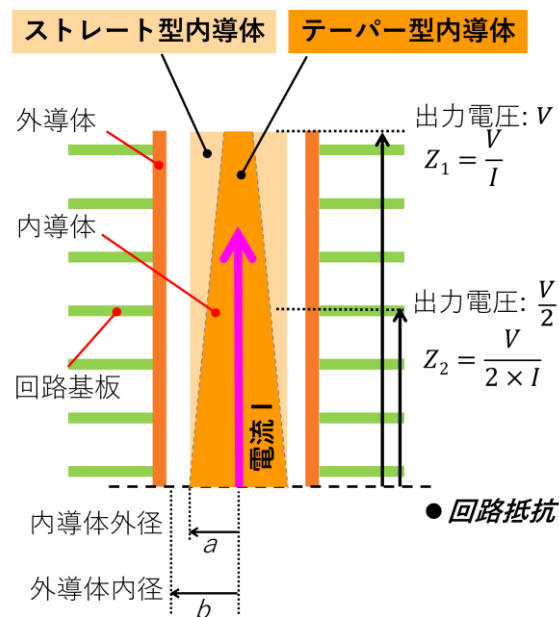


Fig. 47 モジュール基板の階層構造と同軸型電流伝送回路 (断面図)

インダクタンス

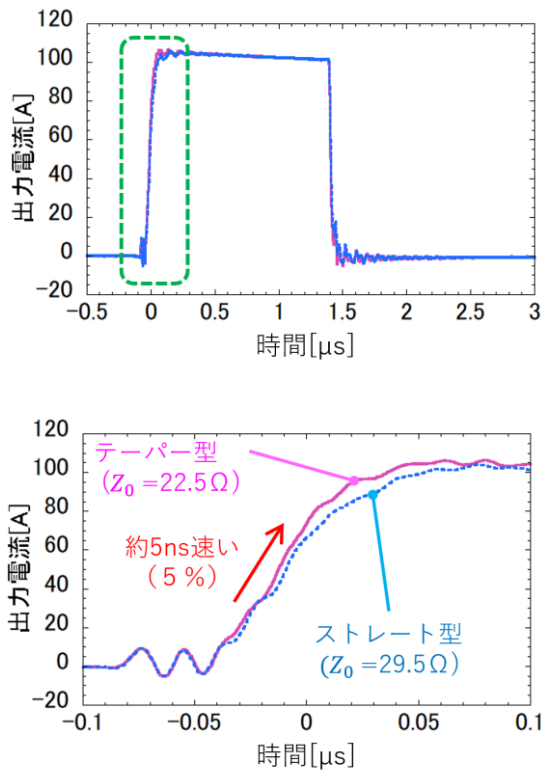
$$L = \frac{\mu_0}{2\pi} \ln \frac{b}{a} [H/m] \quad (5-1)$$

静電容量

$$C = \frac{2\pi\epsilon}{\ln(b/a)} [F] \quad (5-2)$$

特性インピーダンス

$$Z_0 = \sqrt{\frac{L}{C}} = \frac{1}{2\pi} \sqrt{\frac{\mu_0}{\epsilon}} \ln \frac{b}{a} [\Omega] \quad (5-3)$$



上段：全体波形
下段：立ち上がり部拡大

Fig. 48 インピーダンスマッチング効果

6. Inductive Adders for Kicker Systems at CERN

Inductive Adder と呼ぶ LTD と同様に誘導電路を用いた回路を紹介する[65-68]。動作原理は LTD と同じく、誘導電圧を重畳し高電圧を発生する。参考文献から抜粋した写真を Fig. 49 から 53 に、製作されたパルス電源の仕様を Table 5 に示す。RCS 用 LTD キッカー電源回路との違いは、モジュール基板が並列回路毎に分かれた扇形になっており、サイドにある接続ピン (connection pins) で並列回路を構成する部分である。詳細は参考文献を確認していただきたい。

Table 5 Inductive Adders for Kicker Systems power supply Specifications

Output Voltage	±12.5kV
Output Current	309A
Pulse width (Flat-top)	> 900ns
Rise time	< 100ns
Stability	±0.02%
Repetition Frequency	50Hz

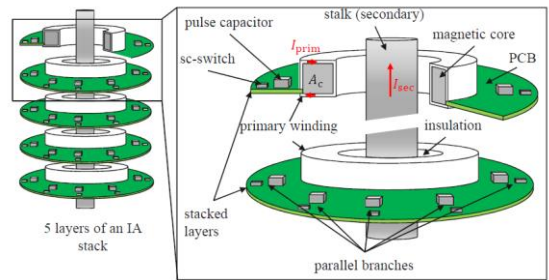


Fig. 49 Schematic drawing of an inductive adder (CERN-THESIS-2019-363)

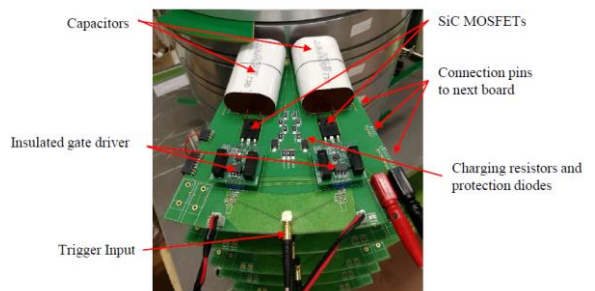


Fig. 50 Printed circuit board (PCB) (CERN-THESIS-2019-363)

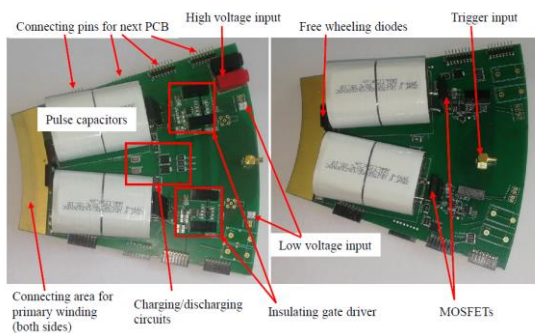


Fig. 51 The PCB with two parallel branches of the primary circuit with the insulating gate driver on separate PCBs (left) and on the main PCB (right) (CERN-THESIS-2019-363)

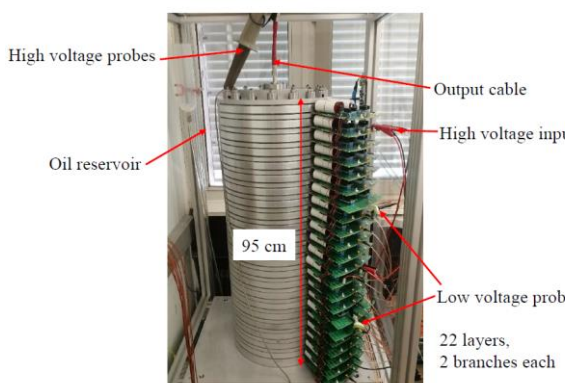


Fig. 52 The 22 layer prototype IA equipped with one PCB in each layer (CERN-THESIS-2019-363)

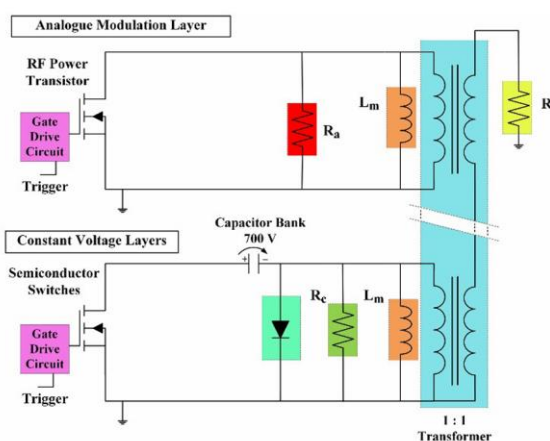


Fig. 53 Schematic of an inductive adder (IPAC2017, WEPVA098)

7. 短絡保護用半導体クローバースイッチ

リニアックのクライストロン電源短絡保護回路のクローバー装置用に開発しているイグナイトロン代替半導体スイッチを紹介する[69-77]。イグナイトロンは、水銀蒸気の整流作用によりピーク電流の耐量大きい。しかし、水銀の使用制限による生産中止が見込まれている。安定した運用を継続するには予備品の確保が必要であり、代替スイッチの開発が急務になる。

7.1. クライストロン電源用クローバー回路

NATIONAL ELECTRONICS 製のイグナイトロン (NL7703EHV) を 5 直列にしてクローバー回路に使用している。Fig. 54 にクライストロン電源システムの基本回路図を示す。28.8μF のコンデンサバンクに 110kV 充電した場合の放出エネルギーは、(7-1) 式より 174MJ となる。このエネルギーのクライストロンへの流入を耐エネルギー 20J 以下にするためにクローバー回路を使用する。イグナイトロンスイッチを瞬時に動作させ、バイパスしたエネルギーはクローバー回路内の抵抗で熱に変えて消費する。

$$\frac{1}{2} CV^2 = \frac{1}{2} \times 28.8mF \times (110kV)^2 = 174MJ \quad (7-1)$$

7.2. イグナイトロン代替用半導体スイッチ

パワー半導体素子は、IXYS 製 MOS ゲートサイリスタ (MMIXH60N150V) を使用する。サイリスタの耐パルス電流は、1.5kV、11.8kA (パルス幅 10μs) である。パルス幅が 50μs の耐パルス電流は、I²t 換算で仮定し 5.3kA とした。モジュール基板は 1 アーム当たりサイリスタを 3 直列とし、オーバル型の基板 1 枚に 16 並列で配置する。モジュール基板 1 枚当たりの電圧は 3kV、電流は 40kA とし、本モジュール基板を 40 枚直列に積み重ねて定格 120kV、40kA とする。Table 6 に設計仕様を示す。

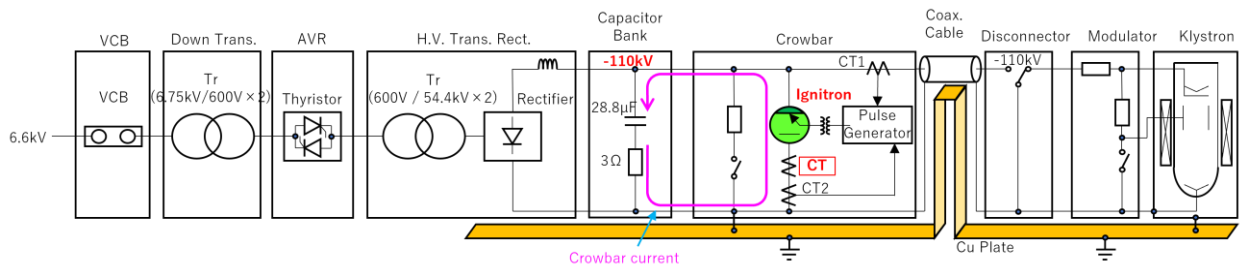


Fig. 54 クライストロン電源システムの基本回路図

ディレーティング値は以下の値を参考とする。

電圧：約 67% (1 枚当たり 1kV/1.5kV)

電流：約 47% (1 回路当たり 2.5kA/5.3kA)

Table 6 J-PARC リニックイグナイトロン代替半導体スイッチの設計仕様

ピーク電圧	120kV
ピーク電流	40kA
パルス幅	50μs
ターン時間	1μs 以下
繰り返し	単発
素子構成	3 直列 16 並列
モジュール基板 1 枚の仕様	3kV/40kA/50μs
全体構成	40 枚直列
給電	自己給電方式

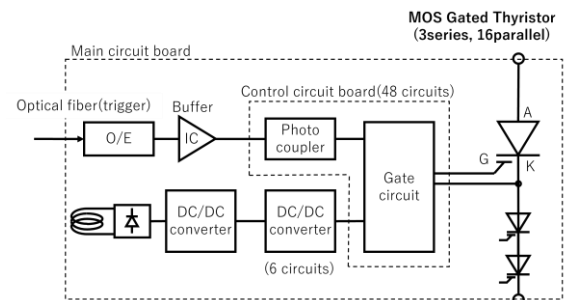


Fig. 55 回路ブロック図

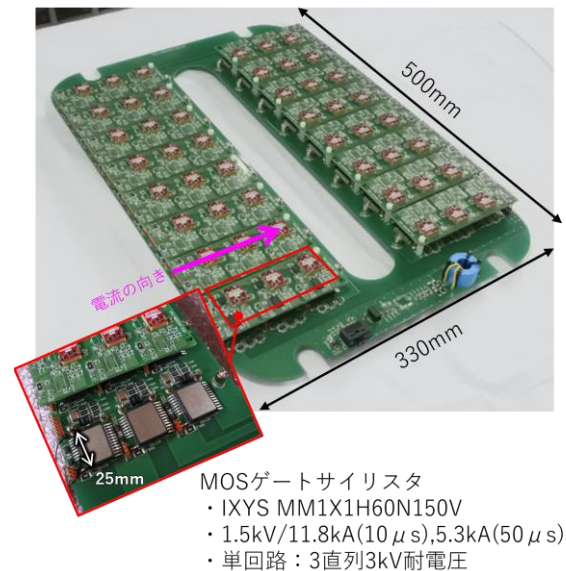


Fig. 56 モジュール基板の写真

Fig. 55 にモジュール基板 1 枚の回路ブロック図を、Fig.56 と 57 に外観図を示す。

アルミ電解コンデンサの模擬負荷を用いて出力試験を行った結果を Fig. 58 に示す。試験では出力電流が 40kA、半値全幅時間が 84.2μs であった。実機のクローバー回路の電流を測定すると 30kA、70μs であったため、ジュール積分值の I^2t の比較にて「試験結果>実測結果」を確認した。また、出力動作時のパワー半導体の温度上昇は Δt =約 1°Cだった。パワー半導体の耐量においても問題が無いことを確認した。現在、30 枚 90kV の製作を終え、評価を進めている。

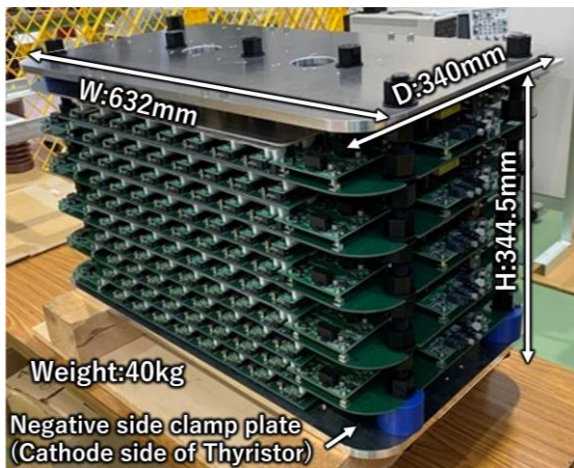


Fig. 57 モジュール基板 10 枚(30kV/40A)

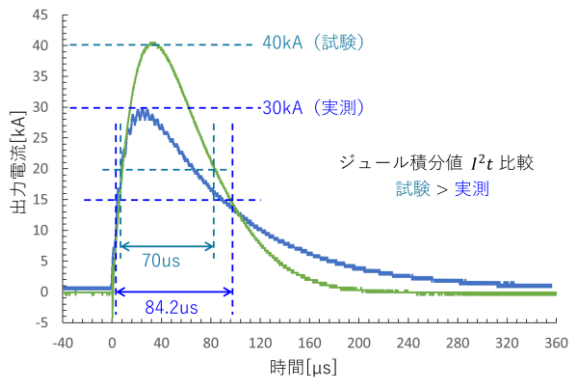


Fig. 58 電流波形測定結果

8. クライストロン電源

加速に用いるマイクロ波を発生するクライストロンに電力を供給する高電圧パルス電源を開発している。J-PARC リニアックでは、324MHz と 972MHz のクライストロンを計 45 台とクライストロン電源を 12 台使用する。1 台の電源に対して最大 4 本のクライストロンを接続して運用している。パルス幅 500 μ s のビームを加速するために、クライストロン電源からは 830 μ s のパルスを出力する。コンデンサバンクに蓄積された電荷が放出されると、ビームパルスの平坦部は時間の経過とともに垂れる電圧ドループが発生する[78]。ドループで最も下がった電圧が、必要なフラットトップの電圧になるようにクライストロンの印加電圧を高くする調整を行うことにより、ドループの影響を低減できる。しかし、印加電圧を高くする調整は、クライストロンの寿命に影響を与えてしまう。もしくは、コンデンサバンクの静電容量の増加を行うことによりドループの抑制効果が期待できる。しかし、運用を開始して 20 年が経過したコンデンサバンクには、油漏れなどの経年劣化が見られ始めている。したがって、コンデンサバンク容量の増強改造を行ったとしても、残ったコンデンサバンクを継続して使用する限り、故障のリスクは残ったままとする。

大電力クライストロンの電力効率化を目的としたマルチビームクライストロンの研究開発が並行して進められている[79, 80]。開発中のマルチビームクライストロンには、2 極化に対応する新しい高周波電源システムが必要である。SiC-MOSFET と MARX 方式を組み合わせた新クライストロン電源システムの開発を進めている。

8.1. 半導体 MARX 回路

現在のリニアッククライストロン電源システムを半導体 MARX 電源に更新する場合、既設システムからの主な変更部分を示す概略図を Fig. 59 に、内容を以下に示す。

- AC6.6 kV から AC400 V に変更。
- AC400 V に変更することで VCB と Down Trans. は不要。
- AVR と H.V. Trans. React. を充電器に置換。
- コンデンサバンクを MARX 回路のコンデンサに置換。
- クライストロン短絡時はパルス電源を停止する、かつ、コンデンサバンクが必要なくなるため、イグナイトロンとクローバー回路も不要。
- 電源 1 台とクライストロン 4 本の接続を 1 対 1 に変更。
- ディスコンは不要。
- アノード変調器とバイアス回路を MARX 回路に置換。
- 3 極管クライストロンのアノード端子を抵抗分圧で印加し、2 極化して使用。

8.1.1. 性能評価試験

主 MARX 回路ユニットを 1 台、補正 MARX 回路ユニットを 1 台、主回路用高電圧充電器を 1 台製作し、試験機の性能評価を行った。製作した試験機の主仕様内容を以下に示す。

□主 MARX 回路ユニット

- 1.7kV/72A SiC-MOSFET
- 8kV/60A
- 2S2P : 4 段 MARX 構成

□補正 MARX 回路ユニット

- 250V/240A Si-MOSFET
- 800V/60A
- 80 × 10 段 : 800
- ドループ補正 : 10% ⇒ 1%

□SiC インバータ充電器

- 充電電圧 2.2kV/2.4kW
- 出力 1.1A
- 出力電位 1.2kV フローティング
- 安定度 ±0.1% 以下

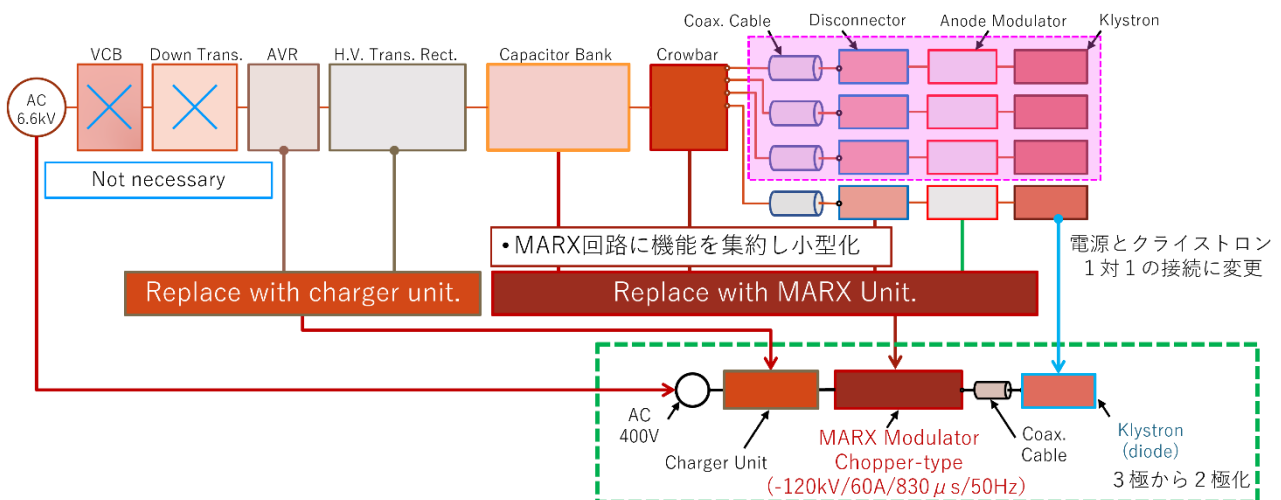


Fig. 59 MARX 電源への更新内容と既存システムからの変更部分

8.1.2. デジタル MARX 回路の評価

補正回路を用いたドループの補正原理を Fig. 60 に示す。主 MARX 回路は、1 ユニットで出力電圧 8kV、フラットトップ幅 830 μ s のロングパルスを出力する。このとき、フラット部にはパルスドループが発生する。このドループの補正に、10 段の MARX セルを持つ補正 MARX 回路を使用する。80 μ s の時間間隔で出力した 10 段のステップ状の波形を合成することで、パルスドループを補償する。評価試験の結果を Fig. 61 に、フラットトップ部の拡大波形を Fig. 62 に示す。主 MARX 回路、補正 MARX 回路、SiC-MOSFET を使用した高電圧インバータ充電器の組み合わせ試験の結果、1Hz の繰り返し運転にて 400V (5%) のパルスドループを 56V (0.7%) に補正できることを確認した。インバータ充電器の単体試験では、25Hz の繰り返し充電において $\pm 0.02\%$ の安定度を確認した。主 MARX 回路、補正 MARX 回路、SiC インバータ充電器の所期性能を確認できた。

出力電圧が異なる主回路と補正回路の 2 種類の基板を使用する。さらに、主回路基板と出力タイミングを変更した補正回路の出力波形を合成してパルスドループを補償する。本方式をデジタル MARX と呼ぶ。ロングパルスのドループを補償する場合に、高い精度で平坦度補正が可能であることを示した。

8.1.3. リニアッククライストロン電源用 MARX 回路の見直し

1 ユニット 8kV の主 MARX 回路を 15 段構成とし、各 15 ユニットは同じタイミングで出力する。補正 MARX 回路は、100 の MARX セルを 1 ユニットで構成し、10 セル 1 組として各々が独立したタイミングと異なるパルス幅で 10 段のステップ状の波形を出力する。補正 MARX 回路は、主回路 MARX の出力電圧 120kV の 100 分の 1 となる 120V を出力し、ロングパルスのドループを 0.1% まで補償する。本番機と評価試験機の仕様を Table. 7 に、本番機のブロック回路図を Fig. 63 に示す。ロングパルスのドループを補正するため、

デジタル MARX 方式を採用する。評価試験結果より、実機の 120kV/60kA/830 μ s/0.1% の性能実現の見通しを得ることができた。

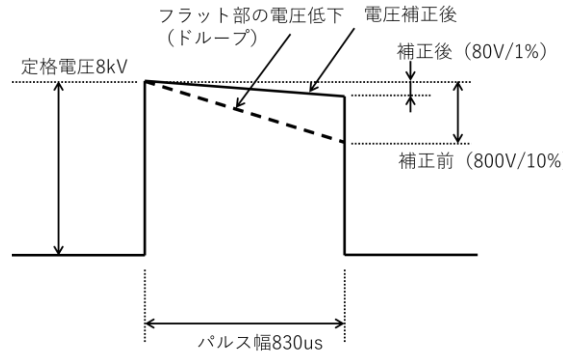


Fig. 60 ドループ補正原理

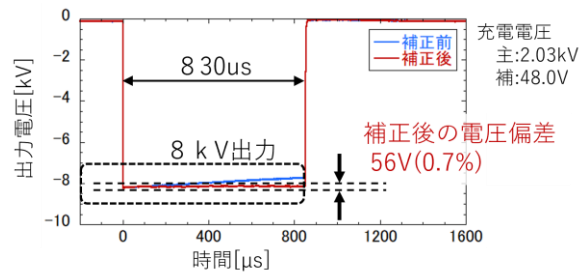


Fig. 61 ドループ補正の評価結果 (主回路 8kV、補正回路 48V)

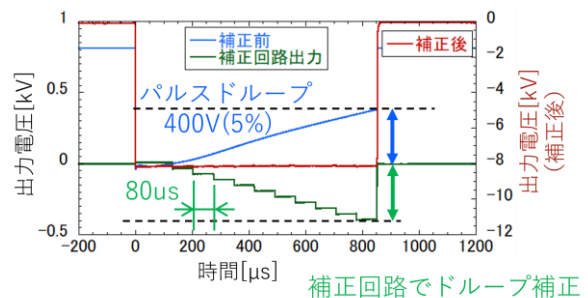


Fig. 62 フラットトップ拡大図

Table 7 本番機と試験機の設計仕様

項目	評価試験機	本番機
電圧	8kV	120kV
電流	60A	60A
パルス幅	830μs	830μs
繰り返し	1Hz	25Hz/50Hz
出力リップル	<1%	<0.1%
主回路構成	8kV 出力 #1unit	8kV 出力 #15units
補正回路構成	800V 出力 80V10 段	12kV 出力 120V100 段
平均電力	20kW (25Hz)	300kW (25Hz)

8.2. スプリットコアのトランス方式

本方式[81]では、高電圧化のためのパワー半導体の直列多重接続を必要としない。半導体スイッチは、パルストランスコアのセグメントの駆動にのみ使用する。1つのコアを2つのコアに分割し、それぞれをシングルターンの一次側で駆動する「分数巻数一次巻線」と呼ぶ構成になっている (Fig. 64 参照)。PFN は使用せず、1次側のスイッチは 1000V 程度の耐圧のパワー半導体で十分であり、主に IGBT が使用されている (Fig. 65 参照)。

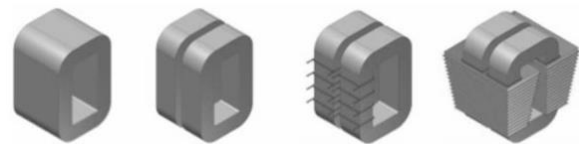


Fig. 64 分割コアの概念図

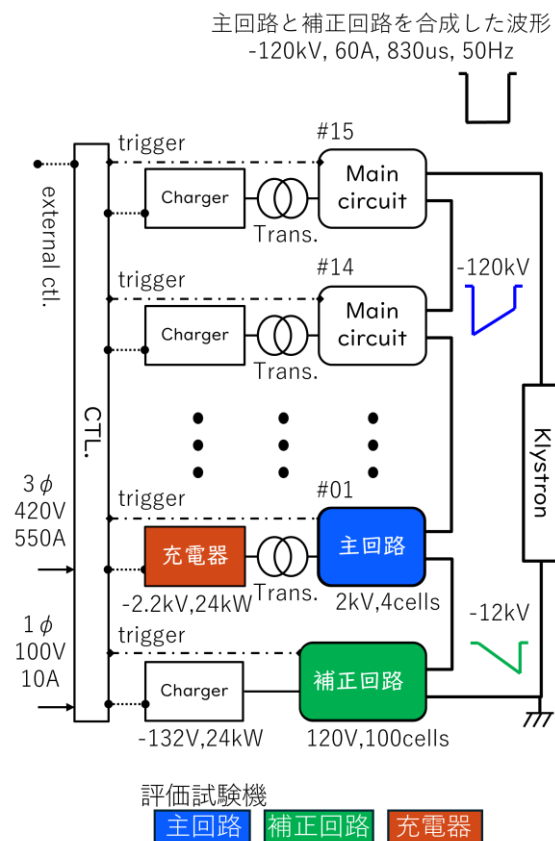


Fig. 63 ブロック回路図 (評価試験機を含む)

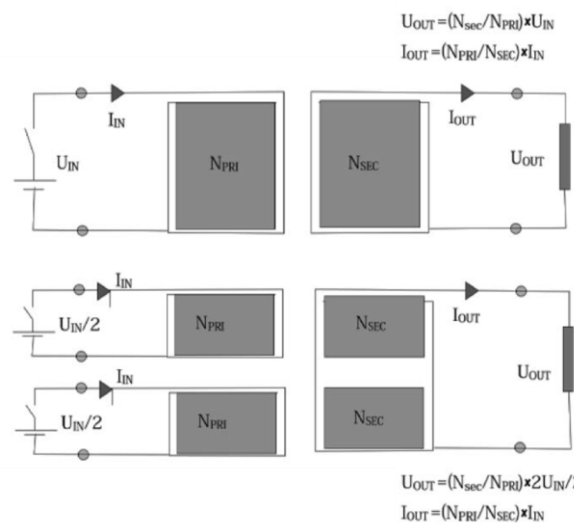


Fig. 65 分数巻数一次巻線の構成

8.3. 直流切り出し方式

コンデンサバンクに蓄えたエネルギーの放出を、高電圧半導体スイッチの切り出しでパターンを生成する方式である。ドループ補償装置を別回路に必要とする。茨城県東海村にあるいばらき中性子医療研究センターで行われているホウ素中性子捕獲療法 (Boron Neutron Capture Therapy, BNCT) のがん治療用加速器に使用されている。

“いばらき”のBNCTなのでiBNCT方式[82]と呼ぶ。クライストロンが短絡した時は、ソリッドステートSWで高速に遮断するため、イグナイトロンを使うクローバー回路は必要としない。

J-PARC リニアックのクライストロン電源の更新を目的に設計した場合、主な開発項目は直列スイッチを構成するソリッドステートSWと、高電圧対応の大電力充電器である。各仕様を以下に示し、直流切り出し式回路のブロック図を Fig. 66 に示す。

□直列スイッチ (ソリッドステートSW)

125kV, 60A, 1ms
25pps/50pps

□充電器

200kW (132kV, 1.5A)

□コンデンサバンク

DC-125kV
16 μ F(droop:2.9%)
50 μ F(droop:0.9%)

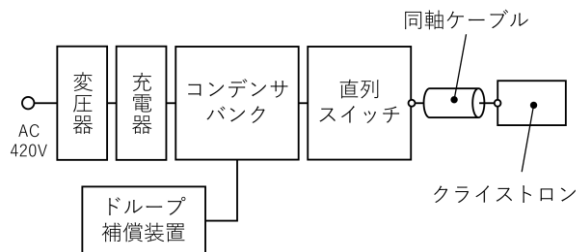


Fig. 66 直流切り出し方式

9. チョップパ回路

シンクロトロン加速器で使用するパルス電源には、正弦波や台形波の出力が求められ、半導体スイッチを用いたチョップパ回路が採用されている。チョップパ回路を用いたパルス電源については、OHO'18 の『パルス電磁石電源』の講義で、J-PARC RCS の水平シフトバンプ電源を用いて紹介をしている。そのため、本章の内容と一部重複することをご了承いただきたい。

J-PARC RCS の水平シフトバンプ電磁石[83, 84]用の電源 (以下、バンプ電源) は、リニアックの加速エネルギーを 181MeV から 400MeV に増強するタイミングで、回路方式が異なる新しい電源に更新した[85]。バンプ電源の初期型の回路方式は、パワー半導体の IGBT を用いたチョップパ方式を採用し[86-89]、新型の回路方式は、コンデンサを用いた転流方式を採用した[90-93]。J-PARC RCS のバンプ電源は、同一の出力電流仕様の台形パターン(Fig. 67)を、同じ水平シフトバンプ電磁石の負荷を使い、異なる回路方式の電源で励磁した実績がある[94, 95]。波形の生成方法や発生するノイズの状況が回路方式で異なるため、それぞれの特徴を紹介する。

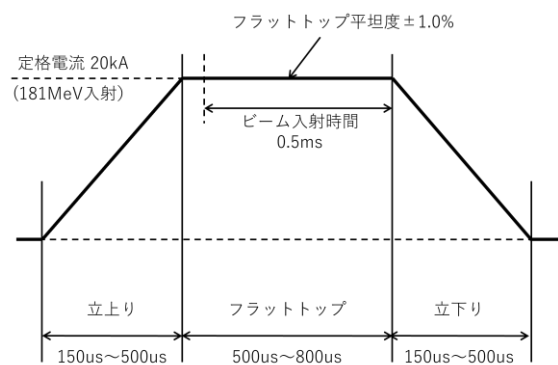


Fig. 67 バンプ電源用台形型パターン波形仕様

□チョップ方式（初期型バンプ電源）

出力定格の範囲内であれば任意な波形を形成できる。ただし、PWMのスイッチング周波数に起因した電流リップルが発生する(Fig.68)。

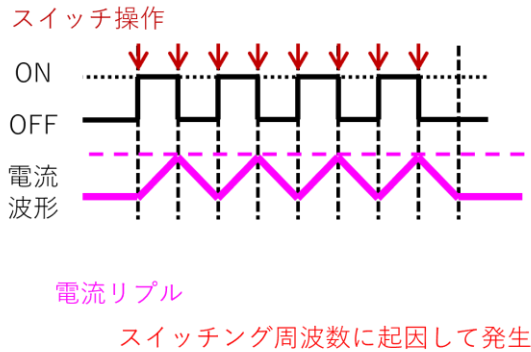


Fig. 68 チョップ方式による波形形成

□転流方式（新バンプ電源）

コンデンサの放電タイミングを調整して目的のパターンを形成する。スイッチのオン動作の操作タイミングでしか電流リップルは発生しない(Fig.69)。しかし、波形パターンに合わせた容量のコンデンサを搭載するため、形状の変更には限界がある。また、瞬間的に放出された放電エネルギーで波形を形成するため、高い精度で平坦なフラットトップを形成するのは難しい。

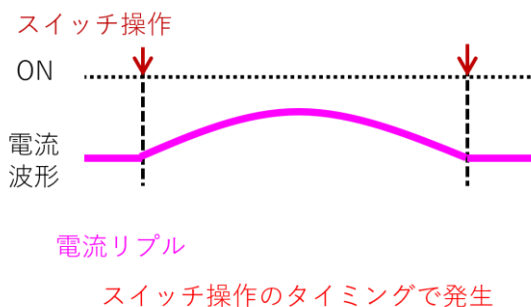


Fig. 69 転流方式による波形形成

9.1. チョップ方式（初期型バンプ電源）

初期型のバンプ電源の構成は、PWMの整流器とチョップによる間接変換方式を採用した。半導体スイッチの素子は3300V-1200AのIGBTを使用した。3並列でアセンブリを構成し、整流器盤は4直列1並列が1台、チョップ盤は8多重1並列が7台並列で構成し、アセンブルは全数で60台となる。IGBTのスイッチング周波数（素周波数）は6kHzを使用し、8多重のチョップ回路によりPWM周波数は48kHzとなる。定格電流は20kA、最大出力電圧は6400Vとなる。チョップ回路は盤内で中性点（Midpoint Earth）をもつ正極側4段、負極側4段の構成とし、電磁石負荷の対地電圧は±3200Vとなる。整流器は力率を1として高調波を抑制する。主な仕様を以下に示す。

- IGBT 3300V-1200A
- 素周波数 6kHz、PWM周波数 48kHz
- 中性点接地
- 任意波形出力

定格電流までの立ち上がり時間の最大時間変化(di/dt)を20kA/150μsとし、フラットトップの時間は600μs、参照パターンとの電流偏差は±1.0%以下の台形型の波形パターンを25Hzで出力する。PWMチョップ方式により、出力する電圧と電流が定格内であれば、台形型波形の立ち上がり時間、フラットトップ時間、立ち下がり時間を変更した波形を25Hzで切り替えて出力することが可能である。パターン波形制御は、ACR制御(Automatic Current Regulator)のみでは応答速度が遅いため、m-AVR(Minor Automatic Voltage Regulator)の指令からの出力に電圧パターンを指令値として足し合わせて速い応答速度を実現する。電源の基本構成をFig.70に、回路の全体構成図をFig.71に示す。

本バンプ電源のチョップ回路の制御方式は、既設のペイントバンプ電源[19, 97]と同一方法である。パターン制御に使う電圧指令値は、原理的には $V=Ri+L(di/dt)$ を使い、電流パターンと負荷インピーダンスから計算ができる。しかしながら、

実電流は指令値に対して偏差が生じてしまう。そのため、手動操作によるトライアンドエラーを繰り返すパターン波形調整を行う。通電前に正確な電圧指令値を求めるには、電磁石コイルの形状と表皮効果を解析条件に入れた負荷インピーダンスの算出が必要となる。水平シフトバンプ電磁石のインダクタンスと抵抗の周波数特性を、実機を使い評価した。電磁石の概略図を Fig. 72 に、測定結果を Fig. 73 と Table 8 に示す。負荷インピーダンスは周波数で異なる特性がある。バンプ電源用のパターン波形は、運転用、調整用、試験用にピーク値や形状が異なる波形パターンを必要とする。波形パターンに応じた負荷インピーダンスを正確に算出することは難しい。既設のペイントバンプ電源の波形成形では、機械学習を用いたパターン生成の技術検討を進めている[98, 99]。

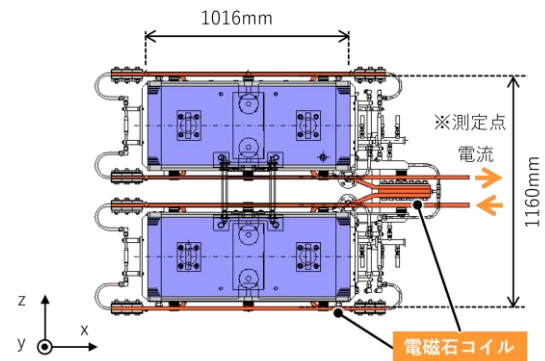
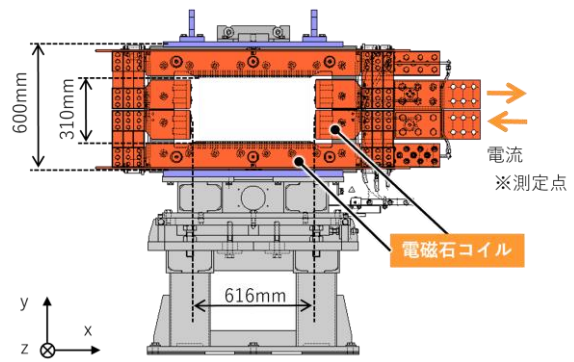


Fig. 72 水平シフトバンプ電磁石概略図

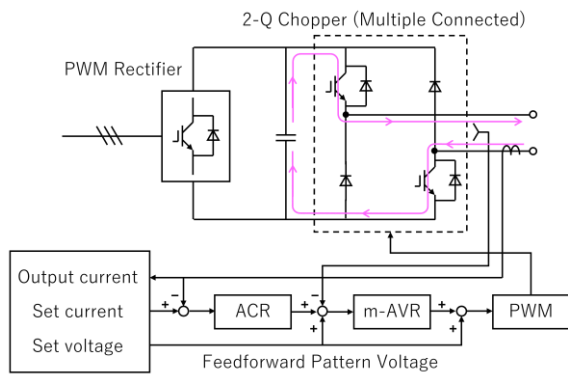


Fig. 70 バンプ電源基本回路構成

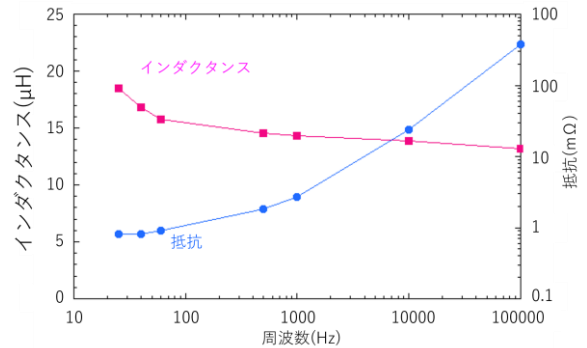


Fig. 73 インピーダンス測定結果

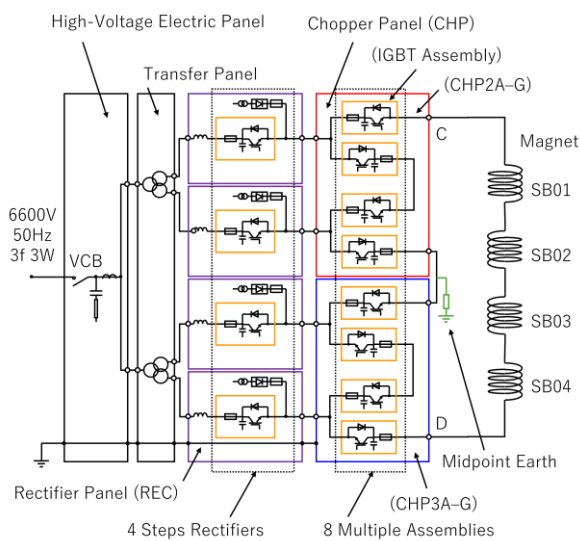


Fig. 71 全体回路構成

Table 8 インピーダンス測定結果

周波数(Hz)	インダクタンス(μH)	抵抗(mΩ)
25	18.5	0.82
40	16.8	0.82
60	15.8	0.92
500	14.5	1.82
1000	14.3	2.67
10000	13.9	23.7
100000	13.2	377.9

9.2. 転流方式 (新バンプ電源)

新バンプ電源は、回路方式にコンデンサの充放電を利用する転流方式を採用した。コンデンサは、バンプ電源専用に大容量かつコンパクトなアルミ電解コンデンサを開発した。

コンデンサ仕様 (ニチコン株式会社製)

- 型式 : LNK2V243MSEAZX
- 定格 : 350V×24mF
- ケースサイズ $\Phi 90 \times 250L$

電流路を半導体の IGBT スイッチのブリッジ回路で切り替え、力行、環流、回生の各モードをコントロールして波形を形成する。台形型の励磁波形は、電流出力時とフラットトップの開始と終了時の三回のスイッチ操作で波形形成ができる。

主回路は、台形波形の立ち上がり部分と立ち下がり部分を形成する立上立下ユニットを 12 台と、フラットトップ部分を形成する FT ユニットの 2 台で 1 台の電源盤 (バンク) を構成する。14 台のユニットは直列に接続し中性点を接地し、立上立下ユニット 6 台と FT ユニット 1 台をそれぞれ正極側と負極側に割り当てる。1 バンク当たりの定格電流は 2kA、最大出力電圧は 12kV になる。中性点を接地しているため電磁石負荷の対地電圧は $\pm 6.0kV$ となる。

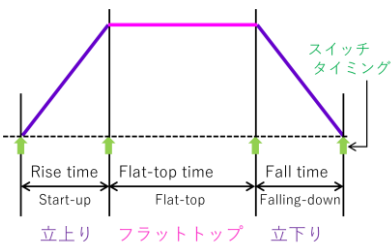
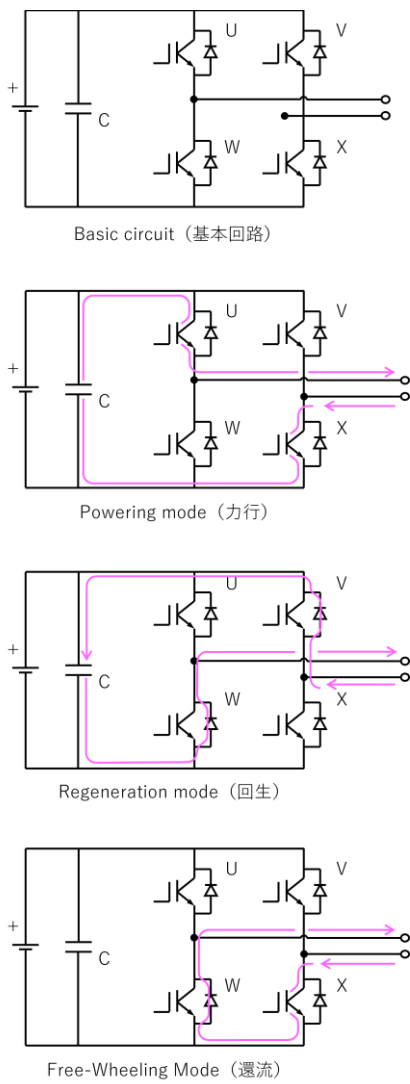
RCS から取り出したビームの輸送先となる実験施設の MLF (Materials and Life Science Experimental Facility) と加速器の MR (30-GeV synchrotron Main Ring) では、異なるエミッタンスのビームが求められている。そのため、RCS のビーム入射点において、ペイントバンプ電源と合わせたビーム変位量を変更する調整が必要である (ペインティング入射[88])。そこで、立上立下ユニットの下から 4 段目までを共通使用とし、5 段目を MR 用に、6 段目を MLF 用に割り当て、外部トリガで 5 段目もしくは 6 段目を選択して出力する。これにより、直列回路の転流方式においても、ピーク値が 25%異なる電流値変更を 25Hz 運転で切り替え出力が可能となる。

16 バンクを並列接続し、定格 32kA/12kV を出力する 1 台の電源システムとして運用する。電源回路の基本構成と転流方式の原理を Fig. 74 に、回路の全体構成図を Fig. 75 に、上下ユニットと FT ユニットの基本回路図を Fig. 76 と 77 に示す。FT ユニットは、MLF 用と MR 用に別々のコンデンサバンク (充放電回路) を設けており、IGBT スイッチのブリッジ回路と、外部からの行先トリガにより MLF 又は MR の出力回路を選択して運転する。各回路には、1 個 24mF の電解コンデンサが 8 個設置してある (Cft)。コンデンサ間をつなぐ銅バーの接続を 4 並列 2 直列や 8 並列に変えて静電容量を 48、96、144、192mF に変更できる。バンプ電源を J-PARC RCS に設置後、実機の水平シフトバンプ電磁石に接続して現地通電を行い、波形精度を確認して FT ユニットのコンデンサ静電容量を 48mF に決定した。平坦度は $\pm 0.10\%$ 以下、再現性 $\pm 0.05\%$ 以下を達成している。立ち上がりと立ち下りの時間は 150 μs から 500 μs の間、フラットトップは 800 μs 以下であれば、台形波形の形状とピーク電流値の変更が可能である。主な仕様を以下に示す。

- コンデンサバンク方式
- ユニット構成
- 中性点接地
- 低リップル回路

9.3. 回路方式の選択

大強度ビームの生成試験では、ビームロスの信号波形を確認しながら、異なるパターン形状の波形が求められる場合がある。トライアンドエラーでパターン形状の変更を繰り返したい場合は、任意な波形形成が可能なチョップ方式が非常に優れている。必要な波形パターンと出力電流値の範囲が決まっている、かつ、ビーム変位の変動に影響する電流リップルを抑制したい場合は転流方式を選択することを推奨したい。



ユニット	立ち上り	フラット トップ	立ち下り	OFF
立ち上げ下り ユニット	力行	還流	回生	回生
FT ユニット	還流	力行	還流	還流

Fig. 74 基本構成と転流方式の原理

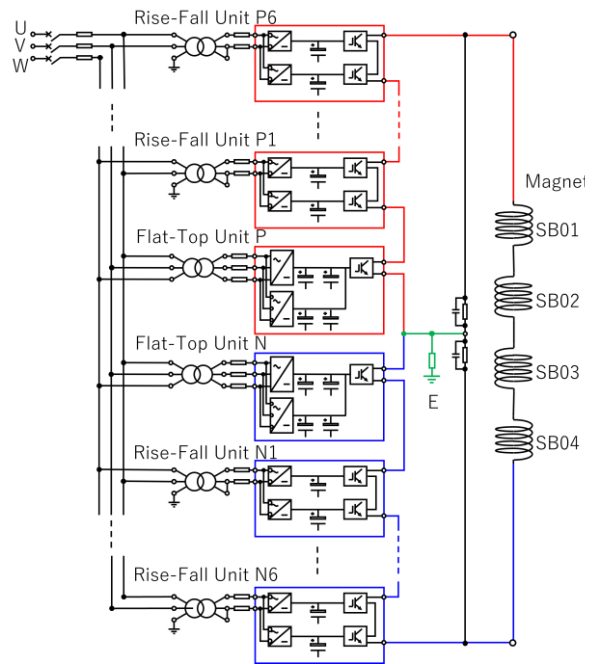


Fig. 75 全体構成図

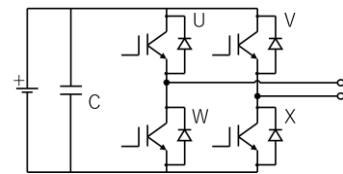


Fig. 76 上下ユニット基本回路図

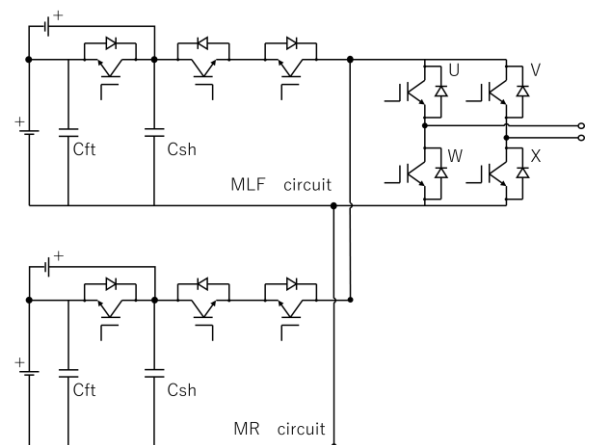


Fig. 77 FT ユニット基本回路図

10. 低ジッタ回路

10.1. タイミングとビーム変位

半導体スイッチを動作するトリガパルス信号（タイミングゲート）について検討する。トリガパルス信号には、Fig. 78 に示すように、理想的な周期から時間軸方向の誤差として、短期的なジッタと比較的長期的なドリフトが発生する。J-PARC RCS の下流の 3NBT に設置されたビーム軌道を測定するポジショニングモニターでは、キッカー電磁石が蹴り出すタイミングに 5ns の遅延が生じると、有意なビーム変位が確認される (Fig. 79 参照)。つまり、大強度ビームの軌道変位によるロスを抑制するには、時間軸に対するタイミングのズレを 5ns 以下にする必要がある。

10.2. 低ジッタトリガパルス発生器の開発

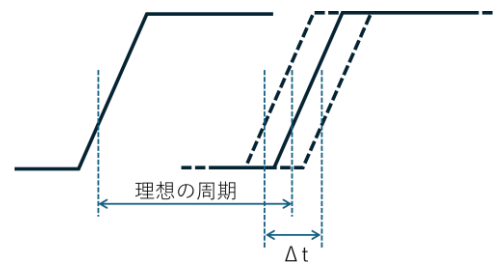
大電力半導体スイッチなど、多数の半導体スイッチを使用する機器は、トリガパルス発生器からの信号を受けてスイッチ動作を行う。そのため、高い安定度と再現性で連続的にパルスを出力するには、低ジッタで動作するトリガパルス発生器が必要になる。現在、ジッタやドリフトを 2ns 以下にする低ジッタトリガパルス発生器の開発を進めている [100, 101]。ブロック図を Fig. 80 に、仕様を Table 9 に示す。

パルス電源のドループ補正などに使用できるように 20ch 以上の複数のチャンネルを用意し、各チャンネルは独立かつ任意にタイミング変更をできるようにする。時間分解能は 10ns から 10 μ s とする。外部トリガをパルス発生器内部の FPGA に同期するとき、1 クロック分のジッタが発生する。そのため、低ジッタ回路には、1GHz 以上のクロックをもつ FPGA が理想的である。

トリガパルス発生器では、使用環境の温度変化が回路素子のインピーダンスを変化させ、ジッタやドリフトの要因となる。そのため、回路基板を恒温槽に入れて素子の温度を一定にし、環境温度の変動に影響を受けないようにする。

フォトカプラの素子もジッタの要因となる。フォトカプラのジッタは最短で 0.6ns 程度まで小さいものがある。目標値の 2ns に対して約 30%程度であるが、トリガパルス発生器には複数のフォトカプラを使用する。そのため、フォトカプラのジッタが占める割合が高くなるため、フォトカプラの数を減らす、もしくは、取り外す検討が必要である。フォトカプラは、入力電気信号を発光素子で光信号に変え、再度電気信号に戻して出力する機器である。電気信号を絶縁するため、ノイズによる誤動作防止の機器として使用する。このフォトカプラを外すには、トリガパルス発生器自体の耐ノイズ性の向上が必要である。そこで、筐体をフェラデーケージ化するために、全パネルをオールメタル構造とする。さらに、トリガパルス発生器内において、基板の GND ポイントをつなぐ接地線がノイズのアンテナになるのを防止するため、最短ルートを通す、かつ、出来る限り銅板を使用する。アース線の抵抗、浮遊インダクタンス、浮遊容量を低減する低インピーダンス化を進める。

最新の評価結果ではジッタは 2.4ns である。さらなる改良を進めている。



ジッタ : 理想時間からの微小な揺らぎ (偏差)
クロック信号のタイミング (周期) のズレ
ドリフト : 温度や電源電圧の変化で比較的ゆっくりな変動

Fig. 78 ジッタとドリフト

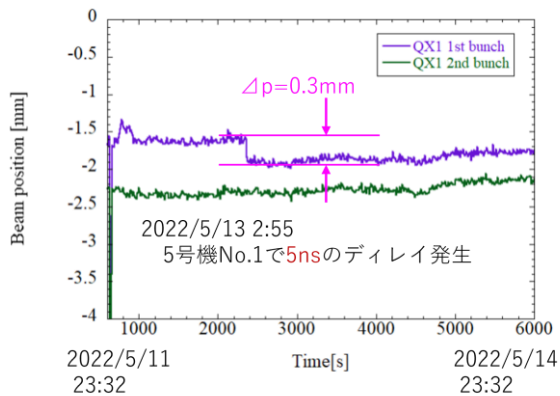


Fig. 79 軌道（バンチ間）のズレ
(データ提供協力：JAEA 明午伸一郎氏)

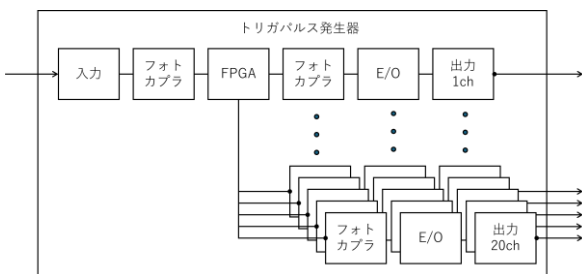


Fig. 80 低ジッタ回路のブロック図

Table 9 設計仕様

ジッタ	±1ns 以下
調整幅	10ns ~ 10μs
時間分解能	10ns
繰り返し	1~25Hz
出力チャンネル数	20チャンネル以上
出力端子	光端子

11. パワー半導体素子の性能向上

11.1. モジュール基板の構成

市販化され量産されている SiC-MOSFET の性能が向上している。LTD キッカー電源用主回路モジュール基板に搭載する SiC-MOSFET について紹介する。2019 年型までは ROHM 製を使用し、2020 年型からは CREE 製に変更した。最大電圧が 1200V から 1700V、本設計用に評価した許容電流値は 180A から 250A になった[102]。この素子変更で、主回路基板 1 枚当たりの出力電圧を高出力に、そして、並列回路数を減らすことができた。また、本設計変更により、並列回路の完全な放射対称型を実現した。

LTD 回路の新旧モジュール基板の写真を Fig. 81 に、半導体デバイスの主な仕様を Table 10 に示す。また、回路に使用する半導体デバイスの数が 2340 個から 1572 個減って 768 個に、定格 40kV の出力に必要な主回路基板の枚数が 52 枚から 20 枚減って 32 枚に、LTD 回路電源のユニット高さが 2020mm から 540mm 減って 1480mm となった。部品点数が削減し、よりコンパクトな半導体スイッチ電源のユニットを実現した。定格出力 40kV/2kA の LTD 回路電源 1 ユニットの変更前後の外観写真を Fig. 82 に、変更になった主な仕様を Table 11 に示す。

半導体デバイスの性能向上は、パルス電源の小型化・省電力化を促進する。

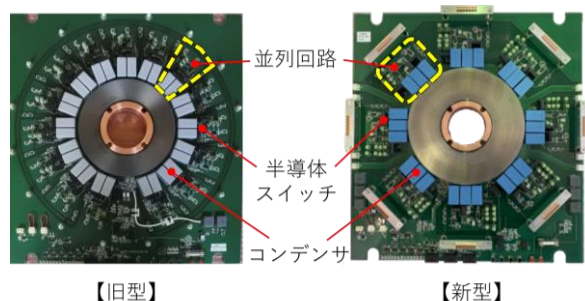


Fig. 81 LTD 回路新旧モジュール基板

Table 10 設計仕様

項目	旧型	新型
メーカー	ROHM	CREE
V _{DS} (V)	1200	1700
素子評価耐電	180	250
基板並列回路	15	8

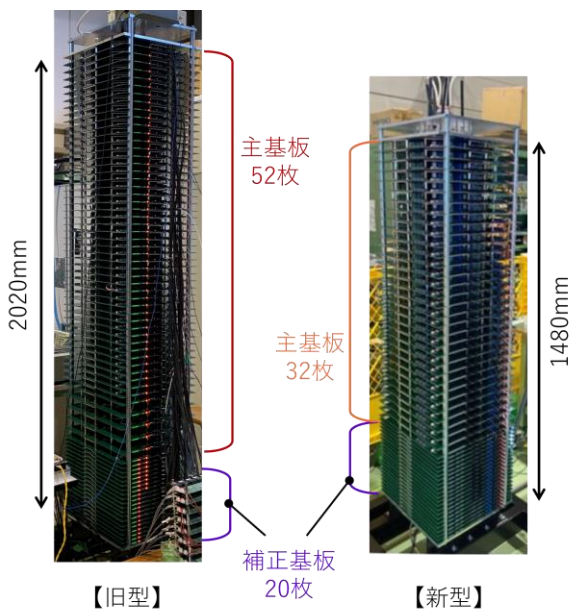


Fig. 82 LTD 回路新旧モジュール基板

Table 11 変更内容

項目	旧型	新型
デバイス数	2340	768
主回路基板数	52	32
ユニット高さ	2020	1480
並列回路数	15	8

11.2. 高効率化

チョップ回路をもつパルス電源のスイッチングによる電力効率の向上について考える。電力損失の主要な要因は、 I^2R 損失(ジュール熱)とスイッチング損失である。このうち、伝送過程で失われるジュール熱を低減する回路設計の最適化には限界がある。したがって、スイッチング素子による損失低減が大きな役割を示す。つまり、次世代パワー半導体の活用である。

入力電力に対する出力電力の割合を表したものを電力変換効率という。高効率な電源は、低消費電力かつ低損失となり、発熱量が小さくなる。

$$\text{効率} = \text{出力電力} / \text{入力電力} [\%]$$

$$\text{損失} = \text{出力電力} - \text{入力電力}$$

現在、加速器用電源の研究開発で最も利用されている次世代パワー半導体は、SiC-MOSFET である。SiC の材料物性は、Si に対して約 3 倍のバンドギャップ、約 10 倍の絶縁破壊電界強度、約 3 倍の熱伝導率を有している。SiC を用いる半導体素子は、Si の半導体素子と比較して高耐圧化、低損失化、高温動作化に向いており、パワーデバイス用途として優れた特性をもっている。さらに、飛躍的な高性能化、低損失化が実現できる素子として、ガリウムナイトライド(GaN)や酸化ガリウム(Ga₂O₃)といったワイドギャップ半導体が注目されている。今後の製品化が期待される。

スイッチング周波数の高周波化により、トランスやノイズカットフィルターなどに使用するコアの高周波損失の低減化も求められる。コアロス分は数%程度と全体と比較すれば損失が少ないが、次世代パワー半導体の高周波化に応じて開発すべき周辺回路の 1 つである。コアロスが小さい材料開発も必要である。Fig. 83 に開発中のコアの材料特性を示す。半導体の性能向上に合わせた開発が求められる。

一般的なスイッチング電源の効率 80%に対し、革新的な技術発展により効率 95%を目標としたい (Fig. 84 参照)。効率 95%は、従来比 80%減の省エネ化を実現する。カーボンニュートラルの実

現に向け、省エネや効率的なエネルギー利用を可能にする技術として、次世代パワー半導体と低損失コア、最適な回路設計を用いた大電力半導体スイッチの研究開発は重要な役割をもつ。

YAGEO Group

タイプ		Low-frequency										
材質名	μl		A材	B材	C材	D材	E材	F材	G材	H材		
交流誘導磁率	μl		2300±20%	2300±20%	1800±20%	2300±20%	2000±20%	2000±20%	3100	1450±20%		
コアロス	Pcv (kw/m ³)	100kHz 200mT	23°C	550	600	650	650	345	350	250	910	
			60°C	400	450	430	520	320	290	255	640	
			80°C	320	430	380	450	320		280	510	
			100°C	300	410	370	400	330	290	340	430	
			120°C				410	350	370		400	470
		300kHz 100mT	23°C	680	730			360			185	
			60°C	500	520			320			177	
			80°C	430	470			320			215	
			100°C	400	450						286	
			120°C									
キュリー温度	Tc	°C	220	220	260	220	220	215	220	290		
実効飽和磁束密度	Bms	mT	23°C	520	510	540	510	520	530	525	540	
			100°C	410	400	440	400	410	410	460		
実効飽和残留磁束密度	Brms	mT	23°C	100	100	200	100	60		45	235	
			100°C	65	55	80	65	45		48	60	
実効飽和保持力	Hc	A/m	23°C	13	14.3	15	14	8.5		8.5	14	
密度	d	kg/m ³		4.8×10 ³	4.8×10 ³	4.8×10 ³	4.8×10 ³	4.9×10 ³	4.8×10 ³	4.9×10 ³	4.97×10 ³	

タイプ		High frequency						
材質名	μl		I材	J材	K材	L材	M材	
交流誘導磁率	μl		2300±20%	2100±20%	1500±20%	900±20%	(600)	
コアロス	Pcv (kw/m ³)	100kHz 200mT	23°C	600				
			60°C	430				
			80°C	400				
			100°C	450				
			120°C					
		300kHz 100mT	23°C	500	410			
			60°C	330	250			
			80°C	300	240			
			100°C	340	310			
			120°C					
キュリー温度	Tc	°C	220	220	240	280	300	
実効飽和磁束密度	Bms	mT	23°C	520	480	500	510	540
			100°C	410	390	400	420	460
実効飽和残留磁束密度	Brms	mT	23°C	120	120	160	120	60
			100°C	70	80	140	100	40
実効飽和保持力	Hc	A/m	23°C	19	20	35	50	40
密度	d	kg/m ³		4.8×10 ³	4.75×10 ³	4.9×10 ³	4.9×10 ³	4.95×10 ³

※※ 開発中材質

Fig. 83 コアの特長表（開発中を含む）

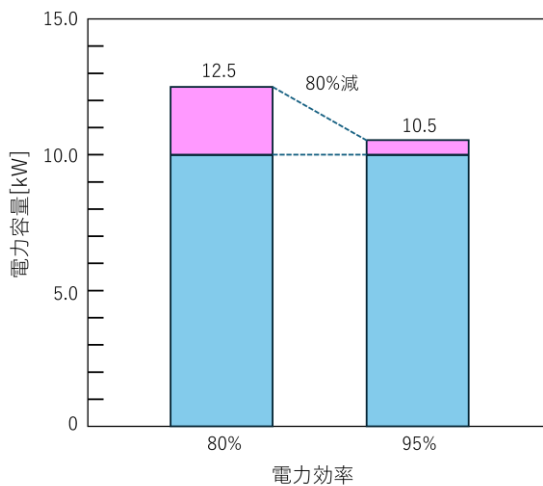


Fig. 84 高効率化と省エネ化

11.3. 半導体スイッチと回路方式

開発中のパルス電源の半導体スイッチ化の中で、特に LTD と MARX の回路方式を選択する参考基準を Fig. 85 に示す。RCS のキッカー電源のように、短パルスかつ大電流の出力には LTD 方式を選択する。クライストロン電源用の高電圧かつ比較的小さい電流の出力には MARX を選択する。図中に示されている IH-DTL 用の MARX 電源は、現在、J-PARC MLF のミュオン実験施設で開発が進められているミュオン加速器[103-105]に使用するクライストロン用の電源である。その他、J-PARC muon g-2/EDM 実験に向けた 3 次元らせん入射実証実験に使用するキッカー電源 (40kV/1.1kA.120ns/25Hz)[106]の開発も進めている。

波形特性/パルス幅		10ns	< 1μs	< 100μs	<
波形制御	1kA以上		LTD (MOSFET) ● For RCS Kicker [40kV, 2kA, 1.2μs]	MARX (IGBT) ●	Chopper MARX (IGBT)
	100A以下		MARX (MOSFET) ● For IH-DTL (Muon) [-90kV, 20A, 50μs]		Digital MARX (MOSFET) ● For J-PARC Linac Klystron [120kV, 80A, 830μs]

Fig. 85 半導体素子と回路方式の選定基準例

12. トラブルと対策

12.1. スイッチングノイズ

12.1.1. 初期型バンプ電源のトラブル

半導体スイッチを多数使うチョッパ回路は、スイッチングノイズを発生する。初期型のバンプ電源は、通電中か否かの状況を確認する場合に、電源盤の前に移動し、バンプ電源の制御のステータスや盤面の出力波形モニタをわざわざ確認しなくても、制御系やモニタ系の担当者に聞けば、バンプ電源の運転状況を確認できたほどである。つまり、バンプ電源のスイッチングノイズは他の装置に影響を与えてしまっていたということである。以下に述べるノイズ対策を実施したことでノイズは低減した。そして、ノイズの影響は小さくなった。初期型バンプ電源で発生したスイッチングノイズのトラブルについて紹介する。

12.1.2. 高周波スイッチング電源のノイズ対策

製作工場で模擬負荷を使った 24 時間連続の安定運転の確認を無事に終え、J-PARC RCS 建屋に持ち込んだ。指定の場所に電源を設置し、実負荷の電磁石を接続して通電を開始したところ、制御系の誤動作が頻発した。調査の結果、電源盤と建屋の基準電位（大地電位）の間の筐体電位に約 900V の変動が発生しているのを確認した。測定波形を Fig. 86 に示す。電位の測定箇所を変え、その都度、測定波形の電圧と周波数を確認したところ、チョッパ盤に近い位置ほど電圧が高く、かつ、発生したノイズの周波数と波形が出力電圧波形の微分波形に近い形であった。ノイズの周波数は約 50kHz を示し、IGBT のスイッチング周波数の 48kHz と一致した。以上のことから、IGBT のスイッチングに起因してアース線に漏れた電流が電位変動の原因であると確認した。漏れ電流は IGBT の周波数と同じく高周波であるため、アース線の導体部には表皮効果で表面にしか流れない。実効断面積が小さく抵抗値が高くなり、高い電圧が発生したと考える。

以下にノイズ低減のために行った作業内容と効果を示す[96]。

□ 接地線の変更

100mm² ケーブル

⇒幅 300mm、厚 1mm の銅板

整流器盤、制御盤、チョッパ盤と電位変動が起きた盤間をつなぐアース線を銅板に変更した。しかし、この変更では大きな効果が得られなかった。

次に、中性点 (Fig. 71 中の Midpoint Earth) に抵抗を追加し、その抵抗値を変えて、チョッパ回路の中性点から筐体に向かって流れる漏洩電流、筐体電位、接地極に流れる接地電流をそれぞれ測定した。測定結果を Fig. 87 と Table 12 に示す。200Ω の抵抗を追加したところ、漏洩電流が 320A から 4A に、筐体電位は 910V から 200V にまで減少した。この状態で誤動作が無くなった。

□ 中性点に高抵抗を追加 910V ⇒ 200V

さらに、以下の個所に銅板の追加敷設を行ったところ、筐体電位はさらに減少し 24V になった。電位と接地電流の測定箇所、銅板敷設箇所の概略図を Fig. 88 に示す。また、電位測定時の様子と追加敷設した銅板の写真を Fig. 89 から 91 に示す。水平シフトバンプ電磁石は 4 台を直列に接続しているため、電磁石の架台を銅板で接続した。電磁石間で電位差が発生しないようにしている。

□ 接地銅板を追加 200V ⇒ 24V

□ 追加敷設箇所

- ・ 接地極－電源盤
- ・ 電源盤－電磁石
- ・ チョッパ盤－接地線
- ・ チョッパ盤－チョッパ盤
- ・ チョッパ盤－制御盤

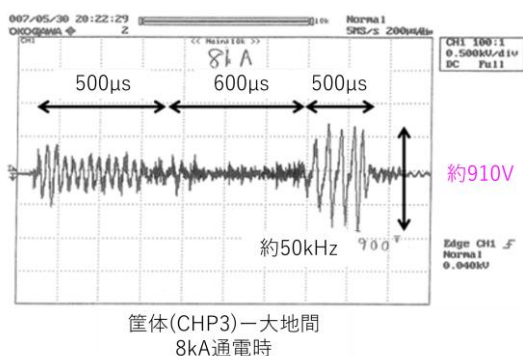


Fig. 86 チョップ盤と大地間の電圧測定結果

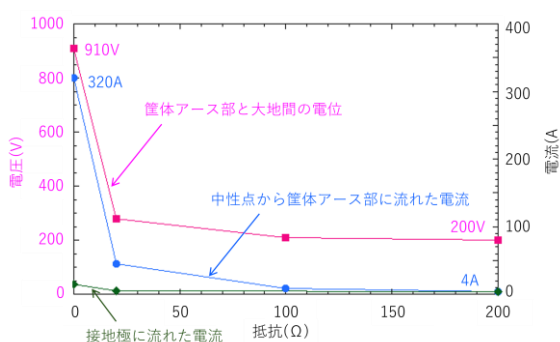


Fig. 87 電位と漏洩電流の測定結果

Table 12 電位と漏洩電流の測定結果

抵抗値 (Ω)	筐体電位 (V)	中性点電流 (A)	接地極 (A)
0	910	320	15
20	280	45	5.5
100	210	8.5	-
200	200	4	3.6

12.1.3. 電源盤のファラデーゲージ化

高周波のスイッチングで発生する電位変動 V (ノイズ) は接地系に流れる漏洩電流 i と接地系のインピーダンス $Z(R$ と $D)$ に起因する。ノイズを小さくするには、この i と Z をどれだけ小さくできるかがポイントになる。

$$V = Ri + L \frac{di}{dt} \quad (12-1)$$

現在、J-PARC RCS で運用中のチョップ回路を採用したペイントバンプ電源は、電源盤をファラデーゲージ化した。インピーダンスの低減と漏洩電流の盤内閉じ込めにより、チョップ回路で発生するノイズの外部への影響を抑制している。電源盤のファラデーゲージ化のために、電源盤を塗装せずメッキで処理をした。複数の盤間を並べて配置する場合はフレームを接触させ、盤間に電位差が発生しないようにする。さらに、接触を確実にするために銅板も追加で敷設した。この方法の利点は、電源盤内全てのフレームを同電位のグラウンドとして利用できることである。電源盤内に接地ポイントを定め、その接地地点に向けて、回路基板のアース線を引き回す必要がなくなる。電源を覆うカバー板は、人と接触する可能性がある表面のみを塗装し、裏側はメッキとすることで、電源のファラデーゲージ化を完成させる。ファラデーゲージ化した電源盤の写真を Fig. 92 に示す。

12.1.4. スイッチングノイズ対策まとめ

電源回路の中性点に高抵抗を接続し接地電流が外に流れるのを抑制する。電源筐体は塗料処理をせず、メッキ処理を行う。盤内の筐体を全て同電位のグラウンドとし、接地配線の引き回しを止める。さらに、電源盤を並べて配置する場合は側板を設けず、互いのメッキフレーム部を接触させ盤間を同電位化する。電源盤の上下面に銅板を追加敷設し、複数の電源盤を並べた場合でも盤間に電位差を生じさせない。以下のポイントを考慮する。

- ① 漏れ電流は高周波として扱う
- ② アース線を使う場合は太く短くする
- ③ アースラインはケーブルより銅板を使う
- ④ 盤内のフレームは塗装をしない
- ⑤ フレームをグラウンドとして活用する
- ⑥ 大地間、負荷間の接続には銅板を使う

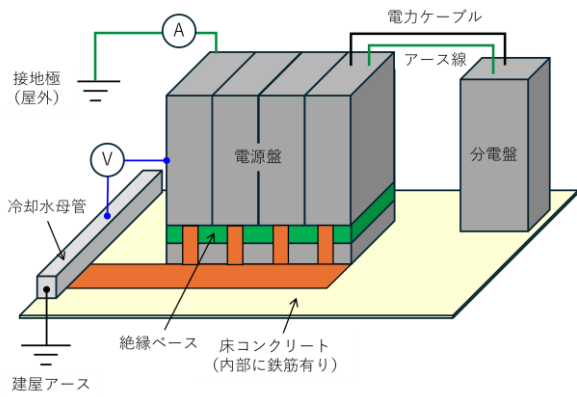


Fig. 88 電位と漏洩電流の測定結果

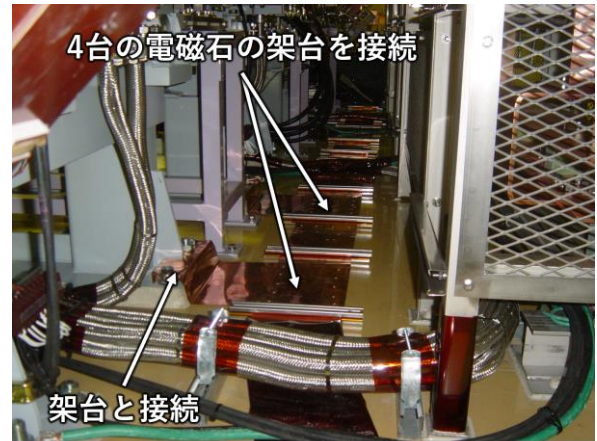


Fig. 91 電磁石の敷設した銅板 (トンネル内)

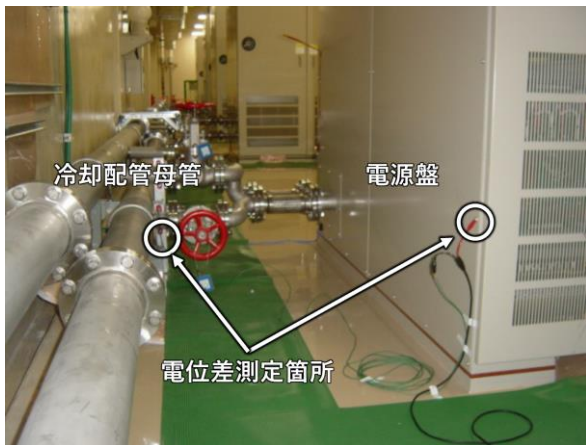


Fig. 89 電位測定時の様子

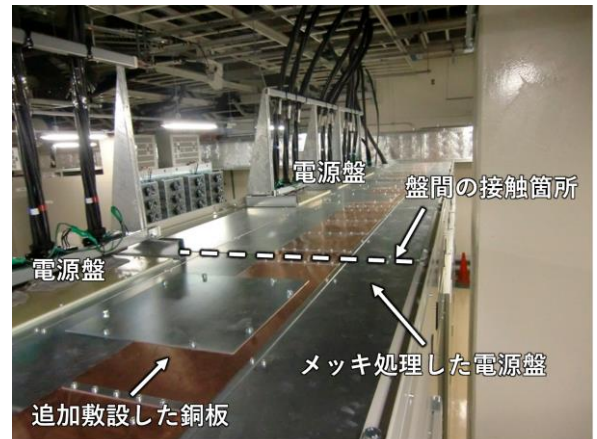


Fig. 92 電源盤のファラデーゲージ化

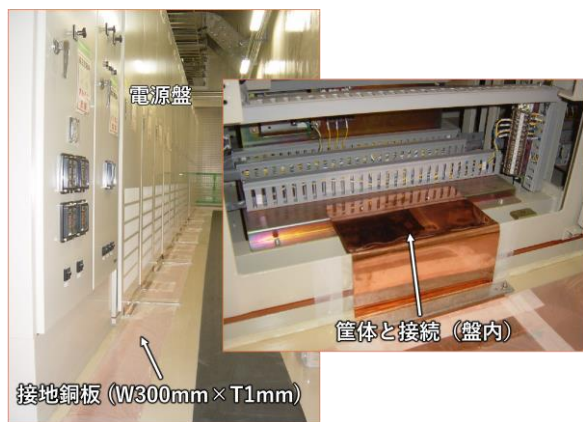


Fig. 90 追加敷設銅板 (電源室)

12.2. 電流経路と漏洩磁束によるノイズ

12.2.1. 新バンプ電源のユニット間の電流経路

新バンプ電源は転流方式を採用し、1バンク当たり、上下ユニット12台とFTユニット2台の合計14ユニットを直列接続する回路構成である。各ユニットの出力端のプラス(P)とマイナス(N)をそれぞれ銅帯で接続し、直列多段回路を構成する。

12.2.2. 漏洩磁束とノイズ対策

各ユニット間の接続銅帯を Fig. 93 に示す構成にした場合、電流経路は最短だが、バンク内に大面積の電流ループを形成してしまう。接続銅帯がループコイルとなり磁場を発生させ、コイルからの漏洩磁束がバンプ電源の出力波形に電磁ノイズとして重畳した。出力端のCTで測定した出力電流波形の立下り部の拡大波形を Fig. 95 の①に示す。2kA に対し約 18A のリングングを確認した(約±0.5%)。この電磁ノイズを低減するため、出力端に制動抵抗を設けたが低減効果は得られなかった。

次に、Fig. 94 に示すように、接続銅帯を向かい合わせに接続した。この場合、電流ループ面積は大きく減少する。そして、リングングは18Aから9.6Aに減少した(Fig. 95 の②)。漏洩磁束の重畳で発生した電磁ノイズ分が減少したと考える。この状態で制動抵抗を追加したところ、リングングは9.6Aから5.0Aに減少した(Fig. 95 の③)。Fig. 95 の①で制動抵抗の効果が無いと思ったが、実際は電磁ノイズに隠れていたと思われる。

接続銅帯を向かい合わせる接続方法は、接続銅帯の使用量と電流経路の距離が倍になる。費用が余計にかかり、かつ、長尺化した電流経路は波形に影響を及ぼすと考えられた。しかし、実際は、電流ループ面積をおよそ90%削減し、さらに、漏洩磁束による電磁ノイズの影響を大きく低減させ、出力電流波形のリングングを小さくすることができた。

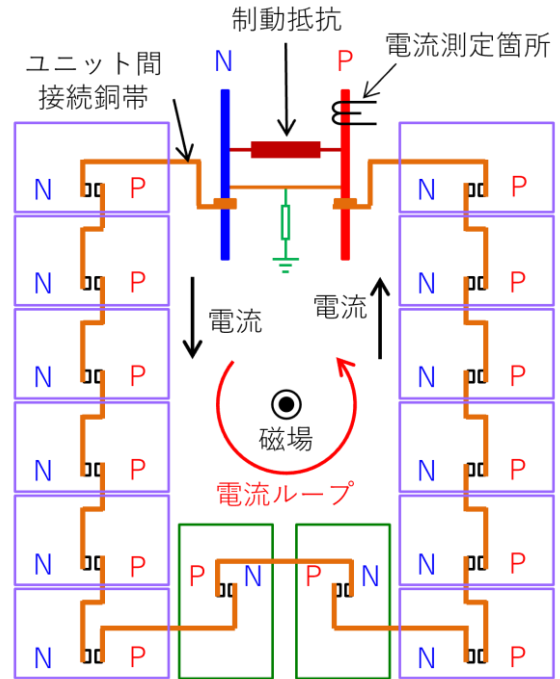


Fig. 93 ユニット間を接続する銅バーの構成

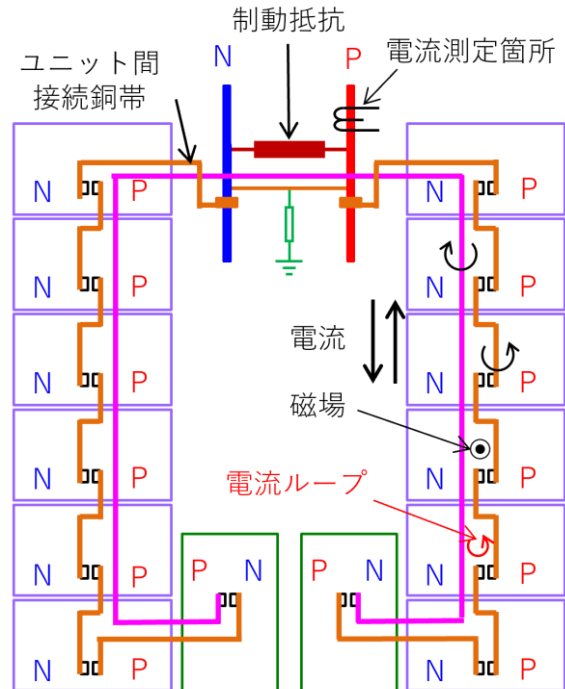
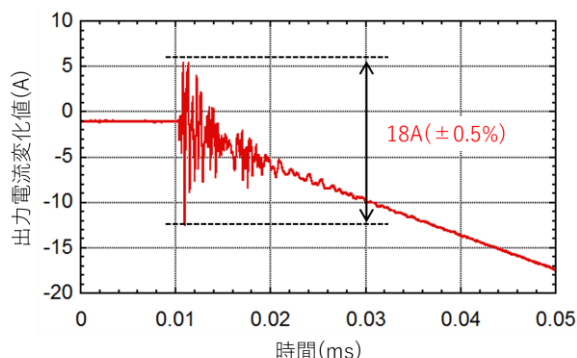


Fig. 94 ループ面積低減化電流経路の概念図

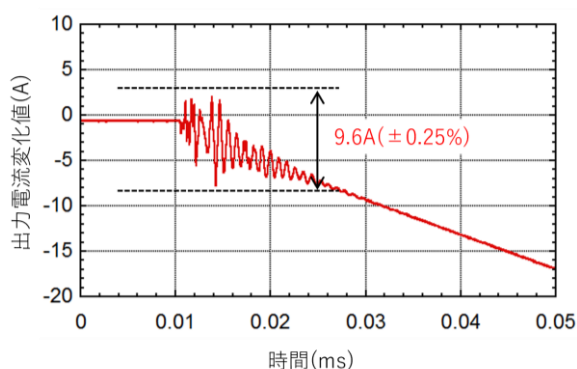
①電流ループを形成する接続銅帯経路

大きい電磁ノイズ
⇒リングング 18A



②ループ面積低減化

電磁ノイズを低減
⇒リングング 9.6A



③ループ面積低減化+制動抵抗

電磁ノイズとリングングが低減
⇒リングング 5.0A

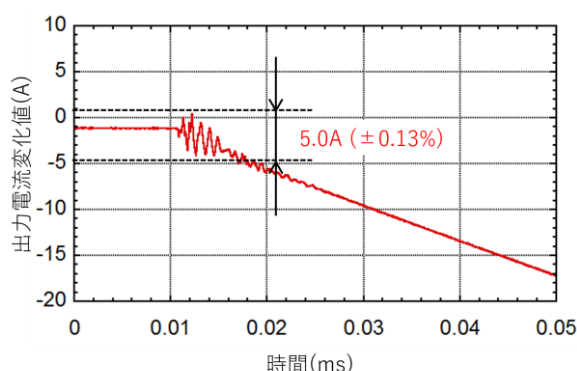


Fig. 95 ループ面積低減化効果
出力電流波形立ち下がり部拡大
(1バンク/2.0kA/0.5ms 立ち下がり波形)

12.3. ノイズとビーム変位量・ビームロスの関係

常時スイッチングを行うチョッパ方式を採用しパターンを形成した初期型バンブ電源と、スイッチングの回数を抑制する転流方式を採用した新バンブ電源を使い、スイッチングノイズがビームに与える影響を、電源盤の電位変動、ビーム変位量、ビームロスと比較して評価した。バンブ電源の更新前後のタイミングで実施できたため、負荷は同じ実機の水平シフトバンブ電磁石と電力ケーブルを使い、さらに、同じ 13.4kA の台形型パターンで電流を励磁した。比較結果を Fig. 96 に示す。予想通り、スイッチングに起因して発生する電位変動はチョッパ方式が明らかに大きく、かつ、スイッチング中は常に電位変動が見られた。スイッチ操作に起因した電流リップルは励磁電流波形に重畳し、ビーム軌道を変位した。ビーム変動量の測定結果を Fig. 97 に示す。チョッパ方式と転流方式で、ビーム入射時に使う台形型パターンのフラットトップに生じる電流リップルの差が、ビーム変位量として確認された。

初期型バンブ電源のスイッチング周波数は 48kHz で動作し、その 2 通倍のおよそ 100kHz が電磁石のセラミックダクトに設けた RF シールドと共振した。その結果、ビーム不安定性を誘発し、バンブ電源に起因するビームロスを発生させた。転流方式の新バンブ電源では、フラットトップに電流リップルが発生しないため、電流リップルに起因したビームロスは発生しない[107, 108]。ビームロスの変化を Fig. 98 に示す。

2 つの回路方式の特徴を良く理解し、用途に応じた使い分けをすることで、加速器システムの性能は向上する。現在、水平シフトバンブ電磁石には転流方式の電源 (SB) を、水平ペイントバンブ電源 (PBH1-4) と垂直ペイントバンブ電源 (PBV1, 2) にはチョッパ方式の電源を使用している。運転時の出力波形を Fig. 99 と 100 に示す。2 つの回路方式の組み合わせにより、MLF と MR が要求する異なるビーム仕様に応じたパターンの出力を可能とし、RCS の所期性能である 1MW ビームの出力を実現した。

各方式の特徴、成果、課題を以下に示す。チョップ方式の電流リプル抑制は、半導体の高周波化の技術力向上で解決できると考えている。

チョップ方式 (初期型バンプ電源)

- 特徴
 - ・定格内であれば任意に波形変更が可能
- RCS での成果
 - ・入射パラメータの容易な変更
 - ・ビームコミッショニング対応
- 課題
 - ・電流リプルの抑制 (大強度ビーム時)

転流方式 (新バンプ電源)

- 特徴
 - ・電流出力切り替え時のみスイッチ操作
- RCS での成果
 - ・ビーム振動の抑制
 - ・ビームロスの低減
- 課題
 - ・出力電流の波形調整 (パターン変更時)

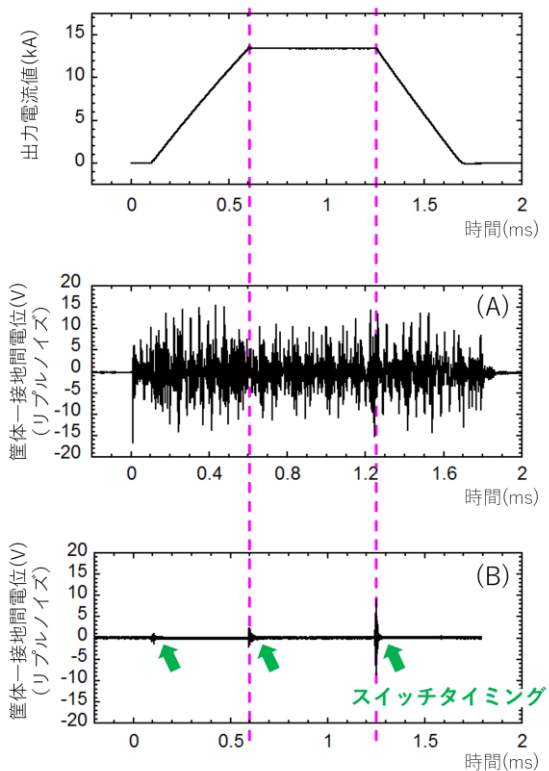


Fig. 96 電源盤の電位変動の比較

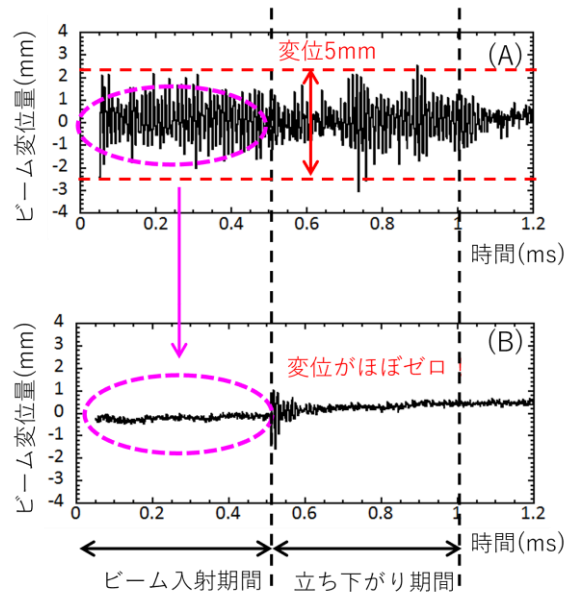


Fig. 97 ビーム変位量の比較

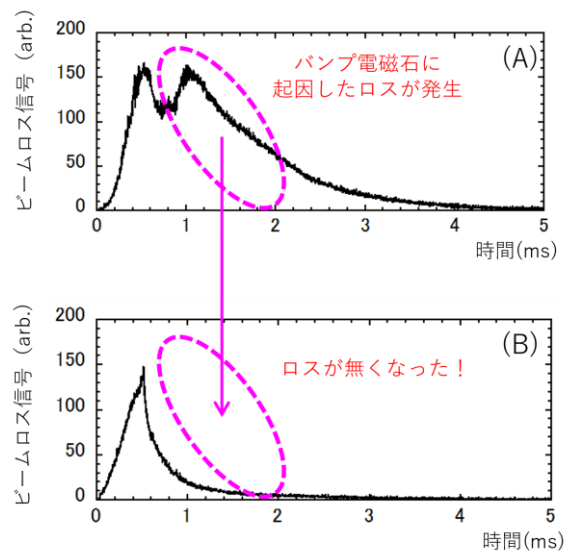


Fig. 98 ビームロスの変化

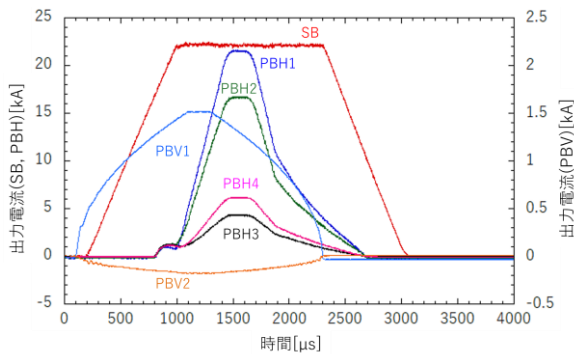


Fig. 99 バンプ電源出力波形 (MLF)

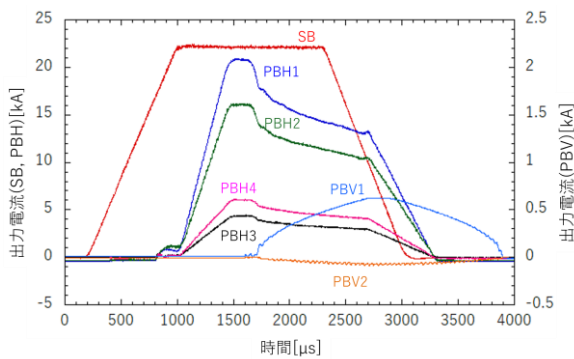


Fig. 100 バンプ電源出力波形 (MR)

12.4. トランスのトラブル

大電力の装置に限らず、電源には大なり小なりトランスを利用する。そして、トランスのトラブルは火災を発生させる可能性が高い。また、電源の仕様に合わせて特注で設計することが多い。そのため、想定していないタイミングでトランスが故障すると、交換品の入手までに時間を要する場合もあり、加速器運転に影響を与えてしまう。トランスを使うときに注意すべき事項について、過去の事例を参考に紹介する。

トラブルの主な原因

- 過電流 (回路故障、定格間違い)
コイル異常発熱
- 過電圧 (回路故障、定格間違い)
磁束飽和⇒過電流⇒コイル異常発熱
絶縁破壊⇒層間短絡⇒異常発熱
- 周波数違い (定格間違い、回路故障)
磁束飽和⇒過電流⇒コイル異常発熱
- 端子緩み (振動、熱、作業ミス)
接触不良⇒端子部異常発熱
- 絶縁破壊 (過電圧、コロナ放電)
層間短絡⇒異常発熱
火花放電⇒短絡電流⇒異常発熱
- 耐熱不足
(絶縁種別間違い、環境温度間違い)
絶縁破壊⇒短絡電流⇒異常発熱

トランスを充電回路の一部として使用する場合には、二次巻線、シールド、混触防止板の扱いをよく確認して欲しい。特に、二次巻線側の接続先にある回路の電圧とスイッチング周波数には注意が必要である。

半導体スイッチのアセンブリを直列多段で接続し、各アセンブリのチョップ回路に充電する回路構成の場合、アセンブリの半導体スイッチをオンにするたびに、多段分のピーク電圧とスイッチング周波数に応じた回数が二次巻線側に印加される。接地電位に対してのピーク電圧が印加されるため、二次巻線と混触防止板の間には、十分な絶縁耐力が必要になる。

Fig. 101 と 102 に、高電圧・高周波スイッチング用のトランスの写真と概念図を示す。二次巻線と混触防止板の間にスペーサーを入れ、空間を設けている。電界集中の緩和と絶縁距離を確保し耐電圧特性を持たせるためである。高電圧に対応したトランスであっても、印加電圧のスイッチング周波数を考慮した設計になっていない場合、劣化が進行し寿命が短くなる。運転開始時は問題なく動作していた電源が、数ヶ月から数年で突然故障が発生した場合、コロナ放電による劣化進行を疑い、電圧印加箇所とラインを調査すると、トランスに限らず問題個所が早く見つかるかも知れない (12.5 章 コロナ放電の危険性を参照する)。

□ 混触防止板

高圧側の巻線と低圧側の巻線の上に銅板を設け、その銅板を接地することにより、高圧側で発生した事故の影響が低圧側に波及するのを防止する。高圧側で発生したサージ電圧を低減し、静電的なシールドの効果、遮蔽効果によりノイズの流入を防止することができる。

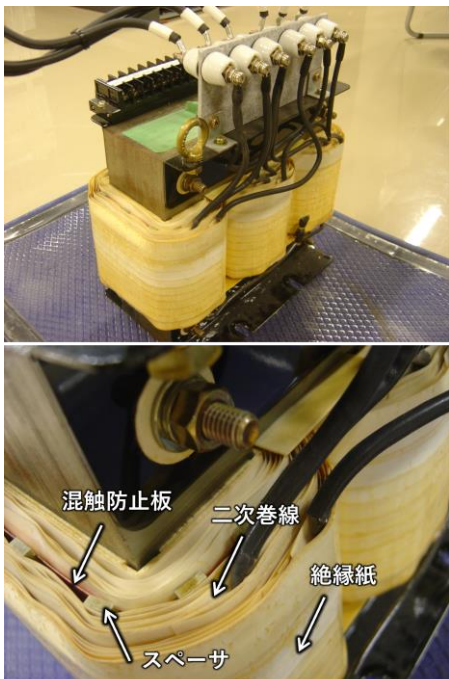


Fig. 101 高周波トランスの写真

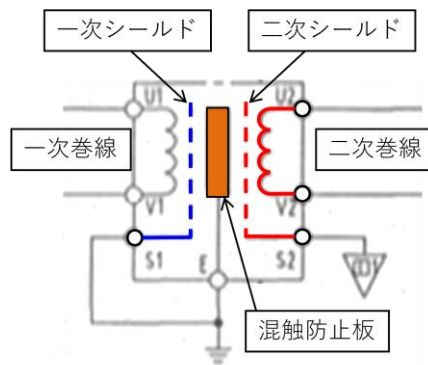


Fig. 102 高周波トランスの概念図

12.5. コロナ放電の危険性

半導体スイッチの性能が進歩し、チョップパ回路のスイッチング周波数が高くなるほど、コロナ放電によるトラブルが発生する可能性が高くなる。直流電圧や商用の 50Hz/60Hz であってもコロナ放電は発生するが、1 サイクル当たりの放電エネルギーは小さく劣化は目立たない。しかし、50Hz に対して 1000 倍のスイッチング周波数の 50kHz でスイッチングを行うと、放電エネルギーも 1000 倍となる。その結果、コロナ放電に耐える寿命が 50Hz で 100 年間の部品が、50kHz では 1000 分の 1 の約 1 ヶ月で寿命となってしまう (Fig. 103 参照)。

直流電圧を印加した場合、コロナ放電はスイッチオンの直後に発生する可能性がある。しかし、絶縁基板が帯電し、かつ、電圧の極性が変わらなると帯電した電荷が放電しないため、コロナ・フリーの状態になる。交流電圧を印加した場合、印加電圧の極性が切り替わる度に帯電した電子やイオンが対極に向かって移動するため、空気をイオン化して放電が発生する。以上のことから、DC での耐電圧性能がコロナ放電の耐電圧性能とは必ずしも一致しない。例として、DC20kV 耐圧の UL3239 規格の電線でコロナ放電試験をした場合、60kHz、3.7kVrms でコロナが発生してしまった。また、50Hz で行う絶縁耐圧試験で 3kVrms 以上

の耐圧があったマグネット・ワイヤが、70kHzでコロナ放電試験を行ったところ 700Vrms でコロナ放電が始まり、990Vrms を加えると 3 秒でショートしてしまった。2本のビニール線をより合わせた物に 70kHz、4kVrms の高周波・高電圧を加え、コロナ放電が起きて青白く光り、皮膜を破壊して火花放電が起きる様子を Fig. 104 に示す。

平行平板電極に電圧をかけた時、火花放電を起こす電圧 V_s は空気中の場合、次式(12-2)で表される。グラフ化した結果を Fig. 105 に示す。

$$V_s = 126pl \div (\log_{10}(pl) + 0.22) \quad (12-2)$$

V_s : 火花放電電圧 [VDC]

p : 気圧 [mm Hg]

l : 電極間距離 [cm]

コロナ放電の対策は、強電界を起こさない設計をすることである。電極間の距離は最低でも上記の式(12-2)の火花放電が発生する距離以上を取る必要がある。このとき、電極間に絶縁体を入れると、電流は絶縁板で阻止されるために火花放電は起きないが、電界は阻止できないためにコロナ放電は発生してしまう。むしろ、絶縁体は誘電体であるため電界強度が高くなることに注意をしなければいけない。

従来の絶縁試験機や耐圧試験機ではコロナ放電を発見できないため、耐圧設計において、正常な製品に見えてしまうことがある。そのため、運転を開始してしばらく経ってから問題が発生する厄介な現象である。インバータ制御などによって高周波成分が増え、危険性は増している。

半導体スイッチを用いた回路を設計する場合には、コロナ放電に起因する事故を起さない設計を検討する必要がある。

※本章は「コロナ放電 パワースイッチング回路に潜む故障の原因」(アドフォクス株式会社)を参考に一部を書き換えて掲載した。

<https://adphox.co.jp/technical/corona-failure-cause/>

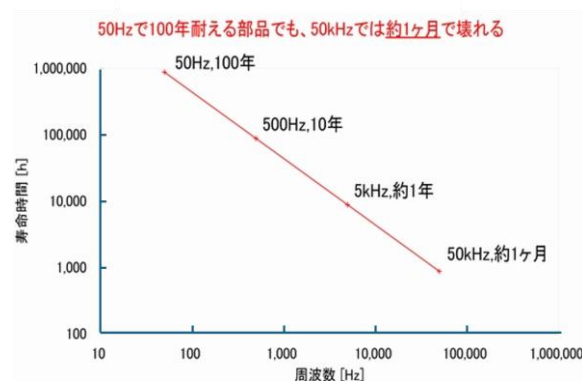


Fig. 103 寿命と周波数の関係

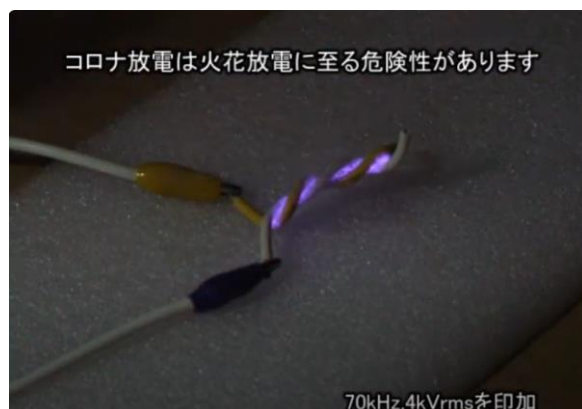


Fig. 104 火花放電が起きる様子
(<https://www.youtube.com/watch?v=zr18YLuT0y4&t=3s>)

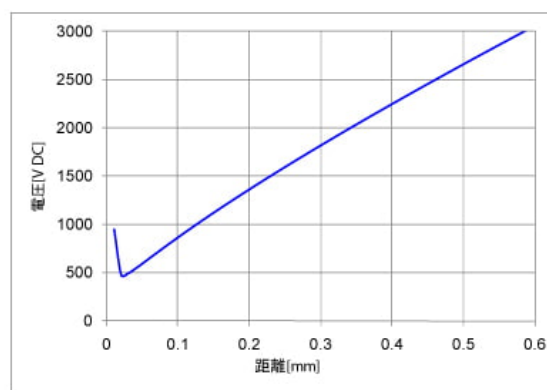


Fig. 105 1 気圧空気中の火花放電発生電圧

13. まとめ

従来の Si に比べて高耐圧・高周波・低損失・高温動作の特徴をもち、高速スイッチングのシステムに優位な次世代パワー半導体の 1 つである SiC の半導体スイッチを用いて、既存の大電力スイッチとパルス電源の半導体化を進めている。そして、持続可能な開発目標として、電力ロスを大幅に低減し、冷却装置・空調設備の小型化・削減が期待できる高効率化と低損失化のシステムは実現可能であることを示すことができた。さらなる高度化を進めるため、SiC の性能向上、及び、半導体素子の飛躍的な高性能化を実現できる素子として、ガリウムナイトライド(GaN)や酸化ガリウム(Ga₂O₃)といったワイドギャップ半導体の製品化を期待する。

14. さいごに

2008 年の 10 月、ノーベル物理学賞を受賞した小林・益川理論について、立花隆氏がテレビの番組でコメントをした場面は今でもよく覚えている。「小林・益川理論のノーベル賞で最も評価されるべきは、小林・益川の二人よりも、その理論の正しさを実証した実験物理屋チームだと思っている」[109]。このことばは私の心に強く響いた。加速器装置の研究開発に従事し、ビームパワーの増強、ビームロスの低減、そして、安定した運転に尽力する加速器屋にとっては、励みになるとてもとてもありがたいおことばだった。

加速器のビーム試験中、パラメータの変更が行われる場面の多さは、電源が他の機器を圧倒する。安定した出力が求められるが、電流値を変更せず、一定の電流値で出力ができるのはビーム利用運転中だけである。トラブルを起こす回数も、起こしたトラブルが及ぼす影響の大きさも、電源は特に目立つ機器である。数の多さ、種類の多さ、使用する電力の大きさ、製作に掛かる費用の高さ、全ての項目において電源はトップクラスである。しかしながら、担当者が置かれた立場は加速器チームの中でトップクラスなのか？はて？

加速器装置を人間の身体に例えると、大電力パルス電源は「心臓」であると勝手に思っている。常に安定して動くことが要求され（故障はダメ）、消費するエネルギーが臓器の中で最も多い（電力をたくさん使う）、そして、身体全体に血液を送り出し（電力の供給源）、止まってしまうと人間は死んでしまう（施設の停止）。そんな重要な機器である電源の研究開発に携わることができた私は幸せだと思う。今後は、この幸せな仕事の内容を理解していただき、次世代の研究開発を担う人材の育成が私の仕事である。

15. 謝辞

大電力半導体スイッチの研究開発は、多くの方の協力により進められている。株式会社パルスパワー技術研究所の徳地明社長には、半導体スイッチの研究の遂行にあたり多大なご助言、ご協力を頂きました。心から感謝申し上げます。設計製作を支えてくださりました株式会社パルスパワー技術研究所の生駒直弥氏をはじめ、亀崎広明氏、中田恭介氏、ニチコン草津株式会社の内藤伸吾氏、青木孝典氏、志井春重氏に感謝いたします。また、小野礼人氏、植野智晶氏、堀野光喜氏、杉田萌氏には、常に温かく熱心に実験に協力して頂き、精神的にも支えられました。ありがとうございます。

最後に、このような貴重な機会をくださいました OHO'24 の関係者の皆さまに心から深く感謝いたします。本当にありがとうございました。

参考文献

- [1] J-PARC 大強度陽子加速器施設 <https://j-parc.jp/c/>
- [2] 山崎良成 *et al.*, “J-PARC 加速器”, 高エネルギーニュース Vol. 24, No. 1, 2005
- [3] 高エネルギー加速器科学セミナー OHO, <http://accwww2.kek.jp/oho/>
- [4] 江偉華 *et al.*, “パルスパワー技術入門”, J. Plasma Fusion Res. Vol.87, No.1 (2011)44-55
- [5] 江偉華 *et al.*, “パワー半導体を利用した高繰り返しパルスパワー電源の進展”, J. Plasma Fusion Res. Vol.94, No.4 (2018) 191
- [6] 加速器の歴史、<https://www2.kek.jp/ja/newskek/2003/novdec/kasokuki.html>
- [7] 高山健, 「現代加速器の歴史的進化」, 日本原子力学会誌, Vol.59, No.3 (2017), pp.135-141
- [8] K. Takata *et al.*, “Full APERTURE KICKER MAGNETS FOR KEK PROTON SYNCHROTRON”, KEK-7621, 1977,
- [9] T. Naito *et al.*, “ILC キッカーの開発”, Proceedings of PASJ2005, 666
- [10] 神谷潤一郎 *et al.*, “J-PARC 3GeV 出射用キッカー電磁石”, The 14th Symposium on Accelerator Science and Technology, 2CB2, 2003
- [11] 中村英滋 *et al.*, “J-PARC 3GeV RCS 出射用キッカーシステム” The 14th Symposium on Accelerator Science and Technology, pp.232-234, 2003
- [12] J. Kamiya *et al.*, “The extraction kicker system of the RCS in J-PARC”, Proceedings of the IEEE Particle Accelerator Conference, 2005
- [13] J. Kamiya *et al.*, “Kicker Magnet System of the RCS in J-PARC”, IEEE Trans. Appl. Supercond., VOL. 16, NO. 2, JUNE 2006
- [14] J. Kamiya *et al.*, “Performance of extraction kicker magnet in a rapid cycling synchrotron”, hysRevSTAB.12.072401, 2009
- [15] 渡辺真朗 *et al.*, “J-PARC 3GeV RCS 入出射用電磁石電源システムの運転と現状”, Proceedings of PASJ2011, MOPS055
- [16] 川村真人 *et al.*, “JAERI-KEK 統合計画リニアック用クライストロン電源システムの開発”, リニアック技術研究会 Proceedings, pp.204-206, 2001
- [17] 千代悦司 *et al.*, “J-PARC リニアック 972MHz 大電力高周波源”, Proceedings of PASJ2010, THPS052
- [18] 渡辺泰弘、古関庄一郎 *et al.*, “ラビットサイクルシンクロトロン電源方式”, 電気論 D, 126 巻 5 号, pp.681-689, 2006
- [19] 高柳智弘、古関庄一郎 *et al.*, “高精度大電流パルス励磁電源の開発”, 電気論 D, 127 巻 8 号, pp.813-821, 2007
- [20] 三浦一喜 *et al.*, “J-PARC MR 主電磁石新電源用恒温ユニットの開発”, Proceedings of PASJ2015, THP068
- [21] 下川哲司 *et al.*, “J-PARC 主リング高繰り返し化のための主電磁石電源プロトタイプ電源の原理試験”, Proceedings of PASJ2015, THP069
- [22] 森田裕一 *et al.*, “J-PARC 主リング直線部四重極電磁石のための NPC チョップパの開発”, Proceedings of PASJ2015, THP070
- [23] M. Watanabe *et al.*, “Operation of kicker system using thyatron of the 3 GeV rapid cycling synchrotron of J-PARC”, Proceedings of IPAC2010, WEPD086
- [24] 富樫智人 *et al.*, “RCS キッカー電磁石電源システムのサイラトロンオペレーションの現状”, Proceedings of PASJ2010, WEPS084
- [25] 富樫智人 *et al.*, “J-PARC 3GeV RCS キッカー電磁石電源のサイラトロン運転維持管理”, Proceedings of PASJ2012, WEPS042
- [26] 富樫智人 *et al.*, “J-PARC 3GeV RCS キッカー電磁石電源の現状”, Proceedings of PASJ2016, MOP117
- [27] 中澤伸侯 *et al.*, “SACLA でのサイラトロントラブルと対策”, Proceedings of PASJ2017, WEP062
- [28] 福田憲司 *et al.*, “粒子加速器用 SiC デバイス開発の最近の進展”, 「加速器」Vol. 13, No. 1, 2016, (25-31)
- [29] 徳地明 *et al.*, “SiC 化が進む加速器用高電圧パルス電源の研究”, Proceedings of PASJ2017, TUOM02
- [30] 徳地明, “先進加速器を支えるパルスパワー技術研究所 (PPJ) の技術・製品”, 「加速器」Vol. 16, No. 3, 2019 (217-221)
- [31] 産業技術総合研究所先進パワーエレクトロニクス研究センター, <https://unit.aist.go.jp/adperc/>
- [32] 岡村勝也 *et al.*, “13kV 級 SiC-MOSFET を使用したパルスパワー電源の開発”, Proceedings of PASJ2018, WEP067
- [33] 徳地明 *et al.*, “13kV 高電圧 SiC デバイスの加速器応用に関する研究”, Proceedings of PASJ2018, THP072

- [34] 近藤力 *et al.*, “SiC 半導体を用いた電子銃用 50kV パルス電源の開発”, Proceedings of PASJ2019, THPH031
- [35] 佐藤健次 “対称 3 線回路 (第 1 部 概要編)”, 「加速器」 Vol. 11, No. 2, 2014 (66 –77)
- [36] 佐藤健次 “対称 3 線回路 (第 2 部 実践編)”, 「加速器」 Vol. 11, No. 3, 2014 (140 –151)
- [37] 佐藤健次 “交直変換器の交流側の対称化とコモンモードフィルターの薦め (前半)”, 「加速器」 Vol. 12, No. 1, 2015 (2–13)
- [38] 佐藤健次 “交直変換器の交流側の対称化とコモンモードフィルターの薦め (後半)”, 「加速器」 Vol. 12, No. 2, 2015 (58–71)
- [39] T. Takayanagi *et al.*, “Development of a new modular switch using a next-generation semiconductor”, J. Phys.: Conf. Ser. 1067 082019, 2018
- [40] W. Jiang *et al.*, “Pulsed Power Generation by Solid-State LTD”, IEEE Transactions on Plasma Science, Vol.42, No.11, Nov. 2014, pp.3603-3608.
- [41] 中田恭介 *et al.*, “ナノ結晶材料を用いた磁性コアの特性評価”, Proceedings of PASJ2020, WEPP48
- [42] 稲垣隆宏 *et al.*, “SACLA 油密閉型モジュレータに用いる 50 kV 半導体スイッチの開”, Proceedings of PASJ2017, TUOL08
- [43] 近藤力 *et al.*, “SACLA 高速振り分け電磁石用の大電力・高精度パターン電源の開発”, Proceedings of PASJ2017, TUOM03
- [44] 秋川藤志 *et al.*, “次世代リング加速器入射キッカー電磁石のための高精度固体パルス電源開発” Proceedings of PASJ2017, WEP069
- [45] 近藤力 *et al.*, “高電圧サイリスタを用いたサイラトロン代替半導体スイッチの開発” Proceedings of PASJ2020, FRPP35
- [46] 明本光生 *et al.*, “サラトロン代替用半導体スイッチの評価” Proceedings of PASJ2020, FRPP47
- [47] 篠原智史 *et al.*, “KEK-PF 高速パルスキッカーのための試作 SiC-MOSFET スイッチングモジュールの性能評価”, Proceedings of PASJ2022, FRP040
- [48] 篠原智史 *et al.*, “KEK-PF 高速パルスキッカーのための SiC-MOSFET パルス電源試作機の加速器リング近傍における長期試験”, Proceedings of PASJ2023, FRP15
- [49] 高柳智弘 *et al.*, “SiC-MOSFET の LTD 回路を用いた RCS キッカー用新電源の開発”, Proceedings of PASJ2017, TUOM01
- [50] 虫邊陽一 *et al.*, “キッカーマグネット用バイポーラ型 SIC-LTD 電源の開発”, Proceedings of PASJ2017, WEP068
- [51] 高柳智弘 *et al.*, “SiC-MOSFET を用いた半導体スイッチ電源の開発”, Proceedings of PASJ2018, FROM07
- [52] 虫邊陽一 *et al.*, “バイポーラ型 SIC-LTD パルス電源の改良”, Proceedings of PASJ2018, THP075
- [53] 高柳智弘 *et al.*, “パワー半導体を用いたキッカー用パルス電源とイグナイトロン代替スイッチの開発”, Proceedings of PASJ2019, THOH02
- [54] 小野礼人 *et al.*, “J-PARC 加速器用イグナイトロン代替半導体スイッチと新キッカー電源の開発”, Proceedings of PASJ2019, WEPH038
- [55] 高柳智弘 *et al.*, “RCS キッカー用半導体スイッチ電源”, Proceedings of PASJ2020, WE0004
- [56] 虫邊陽一 *et al.*, “SiC 半導体を用いたキッカーマグネット用 40kV-LTD 電源の開発と評価”, Proceedings of PASJ2020, THPP44
- [57] 高柳智弘 *et al.*, “J-PARC キッカー用 LTD 半導体スイッチ電源”, Proceedings of PASJ2021, MOOB06
- [58] 生駒直弥 *et al.*, “1.7kV SiC MOSFET を用いた半導体キッカー電源用 LTD 回路の開発”, Proceedings of PASJ2021, TUP015
- [59] 高柳智弘 *et al.*, “J-PARC における加速器用パルス電源の半導体化”, Proceedings of PASJ2021, FROB10
- [60] 亀崎広明 *et al.*, “1.7kV SiC MOSFET を用いた半導体キッカー電源用 LTD 回路ユニットの連続運転”, Proceedings of PASJ2022, THHP039
- [61] 高柳智弘 *et al.*, “キッカー電磁石用 SiC 半導体スイッチ電源”, Proceedings of PASJ2009, THOB13
- [62] 菅沼和明 *et al.*, “J-PARC RCS キッカーシステムにおける高電圧コネクタの絶縁耐圧の改善”, Proceedings of PASJ2023, TPMGA12
- [63] 菅沼和明 *et al.*, “キッカー電磁石用コネクタの改修作業”, Proceedings of PASJ2011, MOPS045
- [64] Y. Shobuda *et al.*, “A Kicker impedance reduction scheme with diode stack and resistor at the RCS in J-PARC”, Proceedings of HB2023, TUC4I1, pp.162-169
- [65] J. Holma *et al.*, “The Prototype Inductive Adder With Droop Compensation for the CLIC Kicker Systems”, IEEE TRANSACTIONS ON PLASMA SCIENCE, VOL. 42, NO. 10, OCTOBER 2014, pp.2899-2908

- [66] J. Holma *et al.*, “MEASUREMENTS ON A 12.5 kV PROTOTYPE INDUCTIVE ADDER FOR THE CLIC DR EXTRACTION KICKERS”, Proceedings of IPAC2017, WEPVA098
- [67] J. Holma “Inductive Adders for Kicker Systems at CERN”, PULPOKS 2018
- [68] “Inductive Adder for the FCC Injection Kicker System”, CERN-THESIS-2019-363, 2020
- [69] 小野礼人 *et al.*, “J-PARC 加速器用イグナイトロン代替半導体スイッチと新キッカー電源の開発”, Proceedings of PASJ2019, WEPH038
- [70] 小野礼人 *et al.*, “J-PARC 加速器用イグナイトロン代替半導体スイッチの開発”, Proceedings of PASJ2020, THPP45
- [71] 亀崎広明 *et al.*, “イグナイトロン代替半導体スイッチ実用基板の評価”, Proceedings of PASJ2020, WEP39
- [72] 小野礼人 *et al.*, “J-PARC クライストロン短絡保護用半導体クローバースwitchの開発”, Proceedings of PASJ2021, THP015
- [73] 亀崎広明 *et al.*, “イグナイトロン代替半導体スイッチユニットの開発”, Proceedings of PASJ2021, TUP046
- [74] 小野礼人 *et al.*, “大電力クローバ回路用半導体スイッチ”, Proceedings of PASJ2022, TUP038
- [75] 生駒直弥 *et al.*, “半導体クローバースwitchのための自己給電回路の開発”, Proceedings of PASJ2022, WEP049
- [76] 小野礼人 *et al.*, “J-PARC 加速器用大電力クローバ回路用半導体スイッチ”, Proceedings of PASJ2023 FRP17
- [77] 中山響介 *et al.*, “半導体を使用した MARX 方式クライストロン電源の開発”, Proceedings of PASJ2023 WEP16
- [78] 不破康裕 *et al.*, “J-PARC クライストロン高圧電源における電圧ドループの影響解析”, Proceedings of PASJ2020, FRPP40
- [79] 不破康裕 “新博士紹介”, 「加速器」 Vol. 15, No. 3, 2018 (187–188)
- [80] Y. Fuwa and Y. Iwashita, “Performance evaluation of a klystron beam focusing system with anisotropic ferrite magnet”, Prog. Theor. Exp. Phys. 2017, 023G01 (14 pages)
- [81] 湯城磨, “スカンジノバ・システムズのパルス電源”, 「加速器」 Vol. 15, No. 3, 2018 (191–194)
- [82] 杉村高志, “がん治療用 iBNCT 加速器の紹介”, 「加速器」 Vol. 18, No. 1, 2021 (21–27)
- [83] T. Takayanagi *et al.*, “Design of the Shift Bump Magnets for the Beam Injection of the 3-GeV RCS in J-PARC”, IEEE Trans. Appl. Supercond., Vol. 16, No. 2, June 2006, pp.1366-1369
- [84] 堀野光喜 *et al.*, “J-PARC RCS 水平シフトバンブ電磁石の現状”, Proceedings of PASJ2016, MOP112
- [85] N. Hayashi *et al.*, “Status of Injection Energy Upgrade for J-PARC RCS”, Proceedings of IPAC2012, THPPP081
- [86] T. Takayanagi *et al.*, “Design of the Injection Bump System of the 3-GeV RCS in J-PARC”, IEEE Trans. Appl. Supercond., Vol. 16, No. 2, June 2006, pp.1358-1361
- [87] T. Takayanagi *et al.*, “Measurement of the Paint Magnets for the Beam Painting Injection System in the J-PARC 3-GeV RCS”, IEEE Trans. Appl. Supercond., Vol. 18, No. 2, June 2008
- [88] 原田寛之 *et al.*, “J-PARC 3GeV RCS におけるペインティング入射の研究”, Proceedings of PASJ2008, WP036
- [89] P. K. Saha, *et al.*, “Beam emittance control by changing injection painting area in a pulse-to-pulse mode in the 3-GeV rapid cycling synchrotron of Japan Proton Accelerator Research Complex”, PhysRevSTAB.16.120102 (2013)
- [90] T. Takayanagi *et al.*, “Simulation Model for Design of a New Power Supply”, IEEE Trans. Appl. Supercond., Vol. 22, No. 3, June 2012
- [91] 高柳智弘 *et al.*, “J-PARC RCS 入射バンブ用新水平シフトバンブ電源の開発と現状”, Proceedings of PASJ2014, SUP059
- [92] 堀野光喜 *et al.*, “J-PARC RCS 新水平シフトバンブ電源の温度問題の報告” Proceedings of PASJ2014, SUP060
- [93] 高柳智弘 *et al.*, “新しい J-PARC RCS 入射水平シフトバンブ電磁石用パルス電源の開発”, Proceedings of PASJ2015, THP073
- [94] T. Takayanagi *et al.*, “Comparison of the Pulsed Power Supply Systems Using the PFN Switching Capacitor Method and the IGBT Chopping Method for the J-PARC 3-GeV”, IEEE Trans. Appl. Supercond., Vol. 24, No. 3, June 2014
- [95] T. Takayanagi *et al.*, “Design and Preliminary Performance of the New Injection Shift Bump Power Supply at the J-PARC 3-GeV RCS”, IEEE Trans. Appl. Supercond., Vol. 24, No. 3, June 2014
- [96] 植野智晶 *et al.*, “IGBT チョップを用いた大電流パルス電源のノイズ対策”, Proceedings of PASJ2008, WP038

- [97] 植野智晶 *et al.*, “J-PARC RCS ペイントバンブ電源の現状報告”, Proceedings of PASJ2016, MOP116
- [98] 加藤新一 *et al.*, “J-PARC RCS におけるペイント入射用電磁石電源の高精度出力調整”, Proceedings of PASJ2015, THP075
- [99] 杉田萌 *et al.*, “機械学習を用いた J-PARC RCS 用ペイントバンブ電源の波形パターン制御”, Proceedings of PASJ2023, WEP17
- [100] 小田航大 *et al.*, “次世代パワー半導体を用いた新キッカー電源用の低ジッタ回路の構築”, Proceedings of PASJ2022, WEP036
- [101] 隅田博之 *et al.*, “LTD 用低ジッタートリガパルス発生器の開発”, Proceedings of PASJ2023, FRP16
- [102] 生駒直弥 *et al.*, “パルスパワー電源への応用に向けた SiC MOSFET の特性評価”, Proceedings of PASJ2020, THPP43
- [103] 世界初、素粒子ミュオンの冷却・加速に成功”, <https://www.kek.jp/ja/press/pr202405171500>
- [104] 三部勉 *et al.*, “ミュオン g²/EDM 実験”, 高エネルギーニュース, 第 31 巻 3 号, pp.209-218, 2012
- [105] M. Otani *et al.*, “Interdigital H-mode drift-tube linac design with alternative phase focusing for muon linac”, PhysRevAccelBeams.19.040101, 2016
- [106] 飯沼裕美, *et al.*, “J-PARC muon g-2/EDM 実験に向けた 3 次元らせん入射実証実験”, Proceedings of PASJ2022, FROB05
- [107] H. Hotchi *et al.*, “Commissioning the 400 MeV Linac at J-PARC and High Intensity Operation of the J-PARC RCS”, Proceedings of IPAC2014, TUXA01
- [108] 發知英明 *et al.*, “J-PARC RCS におけるビーム力学的研究とビーム損失の低減”, 「加速器」Vol. 16, No. 2, 2019 (109-118)
- [109] 立花隆, “小林・益川理論の証明”, 朝日新聞出版